# 第3章 系统总线 习题与解答

> 依据：cod 版课件 Slide 58–93。经逐页核查（含 text.md 全文检索"例题/习题/思考/备注"），本章课件**没有显式例题、习题或思考题**，故"课件原题"为 0 道、收录率 100%（空集）；下列 18 道均为按本章考点补充的期末对标题（基础 11 + 综合 6 + 拔高 1）。计算题全部重新验算。

## 一、课件原题

本章课件（Slide 58–93）为纯讲授页，未出现例题、习题、思考题或课后题（已核对整页原图与提取文本），本节无题可录。全部考点训练见第二节。

## 二、考点补充题

### 题1【补充•考点：总线分类】（选择•基础）

下列总线（信号线）中，信息可以双向传输的是（ ）。 A. 地址总线　B. 数据总线　C. 中断请求线　D. 总线允许线

**解答**：答案 **B**。 - A 排除：地址总线单向，地址只能由主设备发往从设备（课件 p.63"单向 与存储地址、I/O地址有关"）。 - B 正确：数据总线双向，CPU 既可读入也可写出数据（课件 p.63"双向 与机器字长、存储字长有关"）。 - C 排除：中断请求是"入"CPU 的控制信号，方向固定（课件 p.63）。 - D 排除：总线允许（总线同意）是"出"CPU/总线控制部件的信号，方向固定（课件 p.63）。

### 题2【补充•考点：系统总线组成】（填空•基础）

系统总线按功能分为 _ _ _、 _ _ _、 _ _ _ 三类；其中 _ _ _ 总线是单向的，其位数决定 _ _ _； _ _ _ 总线的位数与机器字长、存储字长有关。

**解答**：数据总线、地址总线、控制总线；**地址**总线单向，其位数决定**可寻址的范围（最大可寻址存储空间/可寻址的 I/O 端口数）**；**数据**总线的位数与机器字长、存储字长有关。（课件 p.63；"决定寻址范围"为补充常识，如 n 根地址线可寻址 $2^n$ 个单元。）

### 题3【补充•考点：总线四大特性】（选择•基础）

总线插接件的尺寸、形状、管脚数及排列顺序属于总线的（ ）。 A. 机械特性　B. 电气特性　C. 功能特性　D. 时间特性

**解答**：答案 **A**。 - A 正确：机械特性规定尺寸、形状、管脚数及排列顺序（课件 p.66）。 - B 排除：电气特性规定传输方向和有效电平范围。 - C 排除：功能特性规定每根传输线的功能（地址/数据/控制）。 - D 排除：时间特性

规定信号的时序关系。

### 题4【补充•考点：带宽计算】（计算•基础）

某总线数据线 32 根，总线时钟 33 MHz，每个时钟周期完成一次数据传送，求总线带宽；若升级为 64 位、66 MHz（每时钟仍传一次），带宽又是多少？（结果用 MBps 表示）

**解答**： 1. 位宽 32 bit = 32÷8 = 4 B；带宽 = 位宽×频率÷8 = 32×33÷8 = 1056÷8 = **132 MBps**。 2. 64 位：64×66÷8 = 4224÷8 = **528 MBps**。 3. 核对：与课件 p.69 PCI 行（132 MBps / 528 MBps）一致；注意课件该行时钟印作"64 MHz"，按 528 MBps 反推应为 66 MHz（课件原文如此，存疑）。

### 题5【补充•考点：带宽与传输周期、单位换算】（计算•综合）

① 某 16 位总线时钟 8 MHz，一个总线传输周期含 2 个时钟周期，每周期传送一次数据，求带宽。② USB2.0 标称最高 480 Mbps，折合多少 MBps？③ 说明①中为何不能直接套"位宽×频率÷8"。

**解答**： 1. 时钟周期 T = 1÷8 MHz = 0.125 μs；传输周期 = 2T = 0.25 μs；每次传送 16÷8 = 2 B；带宽 = 2 B ÷ 0.25 μs = **8 MBps**。用公式：16×8÷(8×2) = 128÷16 = 8 MBps，一致。 2. 480 Mbps ÷ 8 = **60 MBps**（Mbps 为位/秒，MBps 为字节/秒）。 3. "位宽×频率÷8"隐含"每个时钟周期传送一次"；本题 2 个时钟才传一次，故须再除以 N=2，否则会把带宽高估一倍（16 MBps 是错的）。课件 p.69 表格即按每时钟传一次计算。

### 题6【补充•考点：总线标准】（填空•基础）

PCI 总线 32 位、33 MHz 时带宽为 _ _ _ MBps；AGP 32 位、133 MHz 时课件带宽为 _ _ _ MBps；USB1.0 的两种速率为 _ _ _ Mbps 和 _ _ _ Mbps；RS-232 是 _ _ _（串/并）行通信总线标准，用于 _ _ _ 与 _ _ _ 之间的标准接口。

**解答**：132；533（按公式 32×133÷8 = 532，课件取 533，对应 133.3 MHz，课件 p.69）；1.5 和 12；**串**行；**数据终端设备（计算机）**与**数据通信设备（调制解调器）**。（课件 p.69）

### 题7【补充•考点：总线结构】（简答•综合）

简述单总线结构的优缺点；说明具有通道的双总线结构（课件 p.71）如何提高系统吞吐率，并指出通道的本质。

**解答**（评分要点）： 1. 单总线优点：结构简单、便于扩充，任意两个部件之间都可经总线直接传送信息（课件 p.61、p.70）。 2. 单总线缺点：所有部件分时共享一条总线，同一时刻只允许一对部件通信，总线成为速度瓶颈（补充常识）。 3. 双总线（通道）：主存总线连 CPU、主存、通道，I/O 总线连通道与各 I/O 接口；CPU 把 I/O 任务交给通道后继续执行自身程序，**CPU 运算与 I/O 传送并行**，且主存与设备间的数据传送由通道管理、不占用 CPU，故吞吐率提高（课件 p.71 + 补充常识）。 4. 通道本质：**具有特殊功能的处理器，由通道对 I/O 统一管理**（课件 p.71 原文）。

### 题8【补充•考点：总线结构识图】（选择•基础）

课件 p.72 的三总线结构中，直接连接主存与高速外设 I/O 接口、使高速外设与主存直接交换数据的总线是（ ）。
A. 主存总线　B. I/O 总线　C. DMA 总线　D. 系统总线

**解答**：答案 **C**。 - A 排除：主存总线连接 CPU 与主存。 - B 排除：I/O 总线连接 CPU 与各 I/O 接口。 - C 正确：图中 DMA 总线一端接主存、一端接高速外设的 I/O 接口（课件 p.72）。 - D 排除：该框图中没有名为"系统总线"的总线；系统总线是单总线结构中的称呼（课件 p.70）。

### 题9【补充•考点：集中式仲裁对比】（简答•综合）

比较链式查询、计数器定时查询、独立请求三种集中式仲裁方式的控制线数、优先级确定方式、响应速度与故障敏感性。

**解答**（评分要点，课件 p.80–82 + 补充常识）：

| 对比项 | 链式查询 | 计数器定时查询 | 独立请求 |
| --- | --- | --- | --- |
| 控制线数 | 3 根（BR、BS、BG） | $2+\lceil \log_2 n \rceil$ 根（BR、BS+设备地址线） | 2n 根（每设备 $BR_i$、$BG_i$） |
| 优先级 | 固定，按链上物理位置，近控制部件者高 | 灵活：计数器从 0 起则固定，循环计数则公平，可预置初值 | 灵活，由排队器（可编程）决定 |
| 响应速度 | 慢，BG 逐级传播 | 中，需计数查询 | 最快，无需查询 |
| 故障敏感性 | 敏感，BG 断链其后接口全失效 | 不敏感 | 不敏感，单线故障只影响本设备 |
| 扩充性 | 最容易 | 较易，受地址线位数限制 | 较差，线数随设备数线性增长 |

### 题10【补充•考点：链式查询】（填空+简答•基础）

链式查询方式共用的三根控制线是 _ _ _、 _ _ _、 _ _ _（写出英文缩写与中文含义）；其中串行穿过各接口的是 _ _ _。设备优先级由什么决定？若 BG 链在 I/O 接口 1 处断开，后果是什么？

**解答**： 1. **BS - 总线忙、BR - 总线请求、BG - 总线同意**（课件 p.80）；串行的是 **BG**（BR、BS 为各接口并联共用）。 2. 优先级由接口在 BG 链中的**物理位置**决定：离总线控制部件越近优先级越高，与请求发出先后无关（课件 p.80 图）。 3. BG 在接口 1 处断开后，BG 信号传不到接口 1 及其后的所有接口，故**接口 1…n 永远无法获得总线使用权**，只有接口 0 仍能获准；即链式查询对电路故障敏感（补充常识）。

### 题11【补充•考点：计数器定时查询】（计算•基础）

16 个 I/O 设备采用计数器定时查询仲裁。① 设备地址线至少几根？仲裁控制线共几根？② 计数器每次从 0 开始计数与循环计数（从上次终止值继续）两种策略下优先级各有何特点？③ 若某次计数器初值预置为 5，写出查询顺序。

**解答**： 1. 设备地址线 = $\lceil \log_2 16 \rceil$ = **4 根**（$2^4 = 16 \geq 16$）；仲裁控制线 = BR + BS + 4 = **6 根**（课件 p.81 图 + 补充常识公式）。 2. 从 0 开始：每次查询都先问设备 0，优先级**固定**（0 最高，同链式）；循环计数：各设备轮流先被查询，优先级**相等**（公平循环）（补充常识）。 3. 初值 5 时查询顺序为 **5→6→7→…→15→0→1→2→3→4**，即设备 5 优先级最高（补充常识）。

### 题12【补充•考点：独立请求】（计算•基础）

16 个 I/O 设备采用独立请求方式仲裁。① 需要多少根总线请求/同意线？② 与链式查询相比线数增加多少？③ 为什么独立请求响应最快？裁决部件叫什么？

**解答**： 1. 每设备一对 $BR_i$、$BG_i$，共 2×16 = **32 根**（课件 p.82）。 2. 链式查询仅 3 根，增加 32−3 = **29 根**。 3. 每个设备的请求**直连**总线控制部件，无需 BG 逐级传播或计数器逐个查询，裁决由部件内的**排队器**立即完成，故响应最快；代价是线多、控制复杂（课件 p.82 + 补充常识）。

### 题13【补充•考点：总线传输周期】（填空•基础）

一个总线传输周期依次经历 _ _ _ 阶段、 _ _ _ 阶段、 _ _ _ 阶段、 _ _ _ 阶段；其中"主模块向从模块给出地址和命令"发生在 _ _ _ 阶段，总线仲裁发生在 _ _ _ 阶段。

**解答**：**申请分配、寻址、传数、结束**；给出地址和命令在**寻址**阶段；仲裁在**申请分配**阶段（主模块申请，总线仲裁决定）。（课件 p.83）

### 题14【补充•考点：同步定时】（简答•综合）

以同步式数据输入为例，写出 T1–T4 各时钟周期内总线上的操作；并说明同步通信为什么要求主从模块速度相近，以及同步式输出与输入在时序上的主要差别。

**解答**（评分要点）： 1. T1 主模块发**地址**；T2 主模块发**读命令**；T3 **从模块提供数据**；T4 主模块撤消命令、从模块撤消数据（课件 p.85、p.89 对照）。 2. 同步通信由统一时标规定每个动作的时刻，从模块必须在规定的 T3 内把数据送上总线，慢模块做不到就会出错；若迁就慢模块把周期拉长，快模块又被浪费，故只适合速度相近的模块（补充常识）。 3. 差别：输出时数据由**主模块**在 **T2 与写命令一起**发出（从模块在 T2–T3 接收写入），T4 撤消；输入时数据由**从模块**在 **T3** 提供（课件 p.85–86）。

### 题15【补充•考点：异步互锁】（选择•基础）

异步通信中，主设备收到回答后才撤销请求，且从设备确认请求已撤销后才撤销回答，这种互锁方式是（ ）。 A. 不互锁　B. 半互锁　C. 全互锁　D. 同步互锁

**解答**：答案 **C**。 - A 排除：不互锁双方都按固定延时自行撤销，互不等待（课件 p.87 左图无回指箭头）。 - B 排除：半互锁只有"主撤请求等回答"这一半互锁，从撤回答不等请求撤销（课件 p.87 中图）。 - C 正确：两个撤销动作互相等待，双向互锁，可靠性最高（课件 p.87 右图双向箭头）。 - D 排除：无"同步互锁"这一分类，同步通信根本不用应答互锁（课件 p.84、p.87）。

### 题16【补充•考点：半同步定时与带宽】（计算•综合）

32 位总线，时钟周期 T = 50 ns，同步传输周期为 4T。① 某慢从模块使 WAIT 保持低电平 2 个时钟，实际传输周期多长？带宽多少 MBps？② 若不插等待周期带宽多少？③ WAIT 信号的作用与有效电平是什么？

**解答**： 1. WAIT 低电平期间每个 T 插入一个 Tw（课件 p.89），插 2 个 Tw 后周期 = (4+2)×50 ns = **300 ns**；每次传 32÷8 = 4 B；带宽 = 4 B ÷ 300 ns ≈ **13.3 MBps**（公式核对：时钟频率 = 1÷50 ns = 20 MHz，32×20÷(8×6) = 640÷48 ≈ 13.3）。 2. 不插 Tw：周期 = 4×50 = 200 ns；带宽 = 4÷200 ns = **20 MBps**（32×20÷(8×4) = 20）。 3. WAIT 是半同步通信增设的**等待响应信号，低电平有效**：从模块未准备好数据时拉低 WAIT，主模块据此插入 Tw，从而允许不同速度的模块和谐工作（课件 p.88–90）。

### 题17【补充•考点：分离式通信】（简答•综合）

说明分离式通信两个子周期各做什么，列出其四个特点，并解释为什么它能"充分提高总线的有效占用"。

**解答**（评分要点）： 1. 子周期 1：**主模块**申请占用总线，发出地址和命令，**使用完后即放弃总线使用权**；子周期 2：**从模块**准备好数据后**申请占用总线**（此时它成为主模块），将各种信息送至总线上（课件 p.92）。 2. 四特点（课件 p.93）：① 各模块有权申请占用总线；② 采用同步方式通信，不等对方回答；③ 各模块准备数据时不占用总线；④ 总线被占用时无空闲。 3. 解释：同步/异步/半同步方式中，从模块准备数据期间总线被占着却空闲（课件 p.91）；分离式让主模块发完命令就释放总线，准备数据的时间总线可服务其他模块，故被占用时无空闲，有效占用率大幅提高（课件 p.91–93）。

### 题18【补充•考点：综合设计（仲裁+定时+带宽）】（综合•拔高）

某系统挂 8 个 I/O 设备，总线请求频繁且实时性要求高；总线 32 位、时钟 33 MHz。① 应选择哪种集中式仲裁？需多少根请求/同意线？说明理由。② 若各模块速度相近、采用同步通信且一个传输周期 4T，求带宽；③ 若混入慢设备改用半同步、平均插入 1 个 Tw，带宽变为多少？④ 若想进一步消除总线空闲，可采用什么通信方式？

**解答**： 1. 选**独立请求方式**：请求频繁、实时性高要求响应最快，且优先级可由排队器灵活调整；8 个设备需 2×8 = **16 根** BR/BG 线，规模可接受（课件 p.82；线数多但 n 小故代价可控）。链式查询响应慢、优先级固定，计数器查询仍需逐个计数，均不满足实时性。 2. 同步 4T 周期：带宽 = 位宽×频率÷(8×N) = 32×33÷(8×4) = 1056÷32 = **33 MBps**。（注意：不是 132 MBps——132 对应每时钟传一次，本题 4 个时钟才传一次。） 3. 插 1 个 Tw 后 N = 5：带宽 = 32×33÷(8×5) = 1056÷40 = **26.4 MBps**；可见等待周期直接降低带宽（课件 p.89–90）。 4. 采用**分离式通信**：主模块发完地址命令即释放总线，从模块备好数据再申请总线送数，准备数据期间总线不空闲，可充分挖掘总线每个瞬间的潜力（课件 p.92–93）。