第3章 系统总线

> 课件来源：cod 版课件 Slide 58–93（共 36 页），本章笔记唯一依据，无其他版本对照。一句话地位：本章是期末选择/填空/简答的高频出处，**带宽计算、三种集中式仲裁对比、四种通信定时方式**几乎必考，总线结构图识图也常出选择题。

0. 本章考点清单

考点	常见题型	重要度
总线带宽（标准传输率）计算：带宽 = 位宽×频率÷8	计算、填空	★★★
集中式仲裁三方式对比（链式查询/计数器定时查询/独立请求）	简答、选择、计算	★★★
四种通信方式与定时（同步/异步/半同步/分离式）	简答、选择	★★★
异步通信三种互锁方式（不互锁/半互锁/全互锁）	选择、简答	★★
总线结构（单/双/三/四总线）识图与优缺点	选择、简答	★★
总线分类（片内/系统/通信；数据/地址/控制）	选择、填空	★★
总线标准参数（ISA/EISA/VESA/PCI/AGP/RS-232/USB）	填空、选择	★★
总线四大特性（机械/电气/功能/时间）	选择	★★
总线性能指标（宽度/复用/信号线数/负载能力）	填空	★★
总线传输周期四阶段	填空	★★
主/从设备概念、分布式仲裁	选择	★

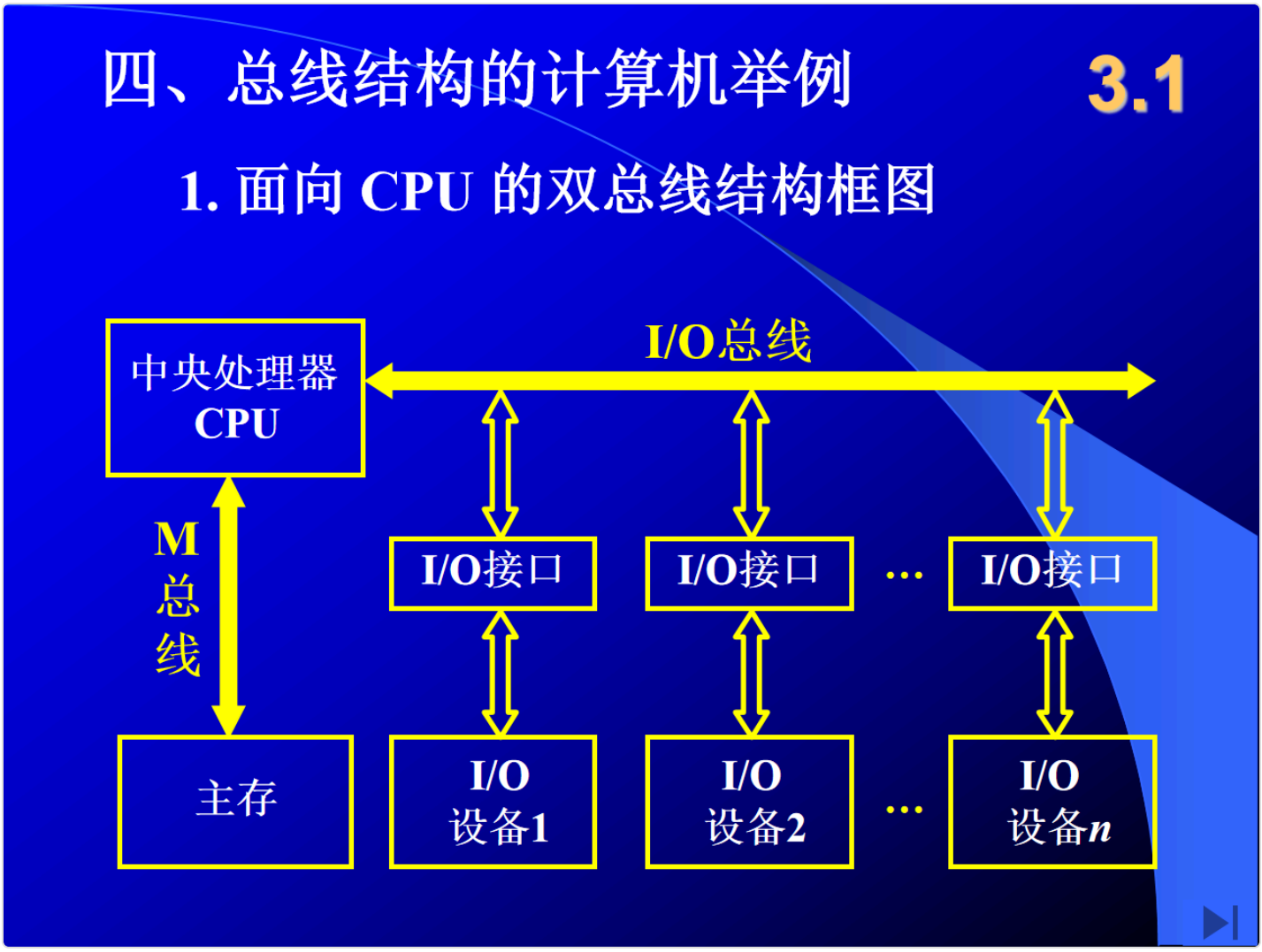
1. 总线的基本概念（课件 p.59–62）

1.1 概念精讲

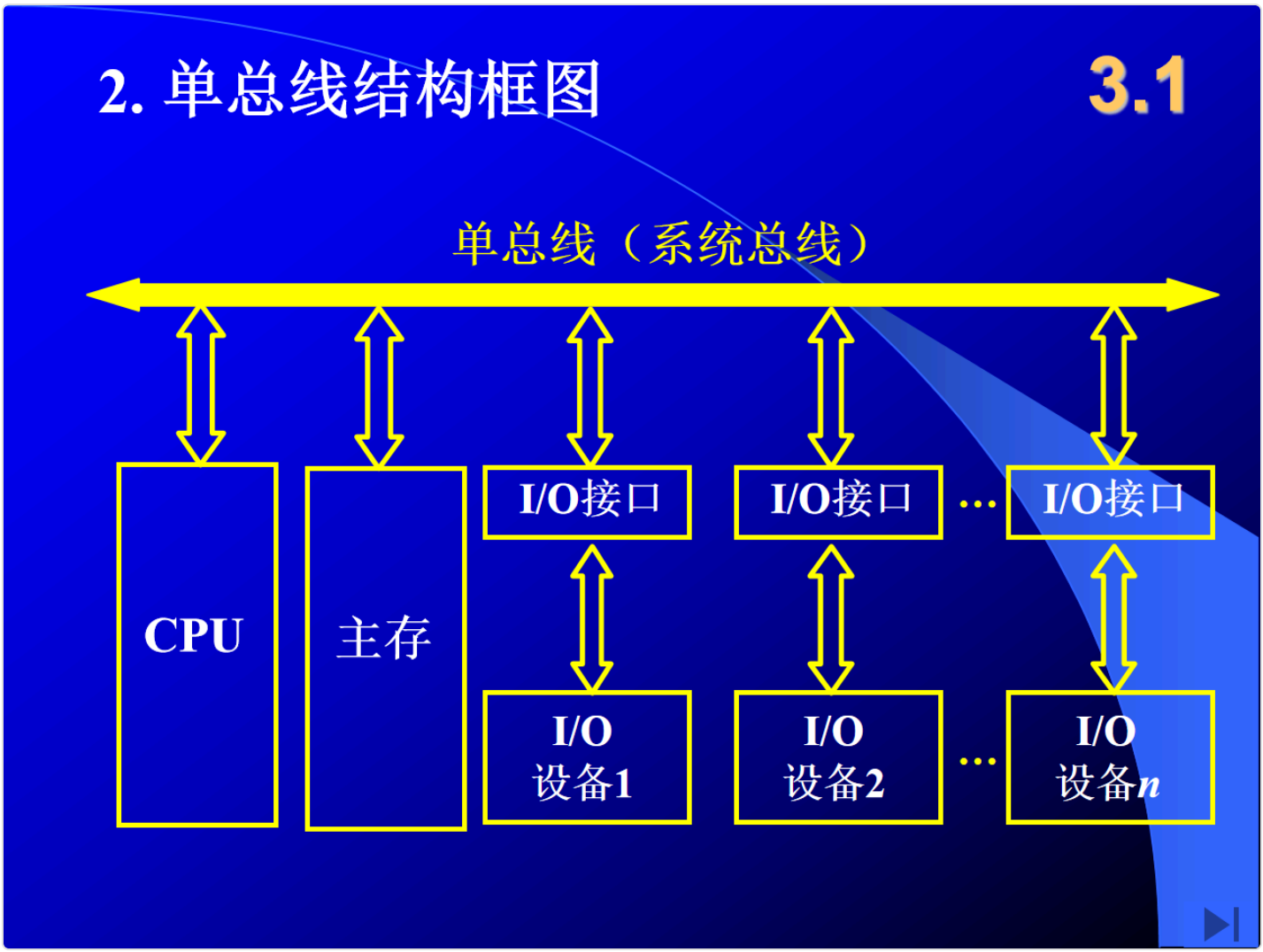
- **为什么要用总线**：用一组公共传输线代替部件间两两单独连线，连线少、结构清晰、便于扩充新设备（补充常识）。
- **什么是总线**：总线是连接各个部件的信息传输线，是**各个部件共享的传输介质**（课件 p.59）。"共享"意味着同一时刻只能有一对部件占用总线传送信息，因此需要仲裁与定时控制（衔接 3.5 节）。
- **总线上信息的传送**：分**串行**（一位一位按顺序传）和**并行**（多位同时传）两种（课件 p.59）。

1.2 总线结构的计算机举例（三种早期框图）

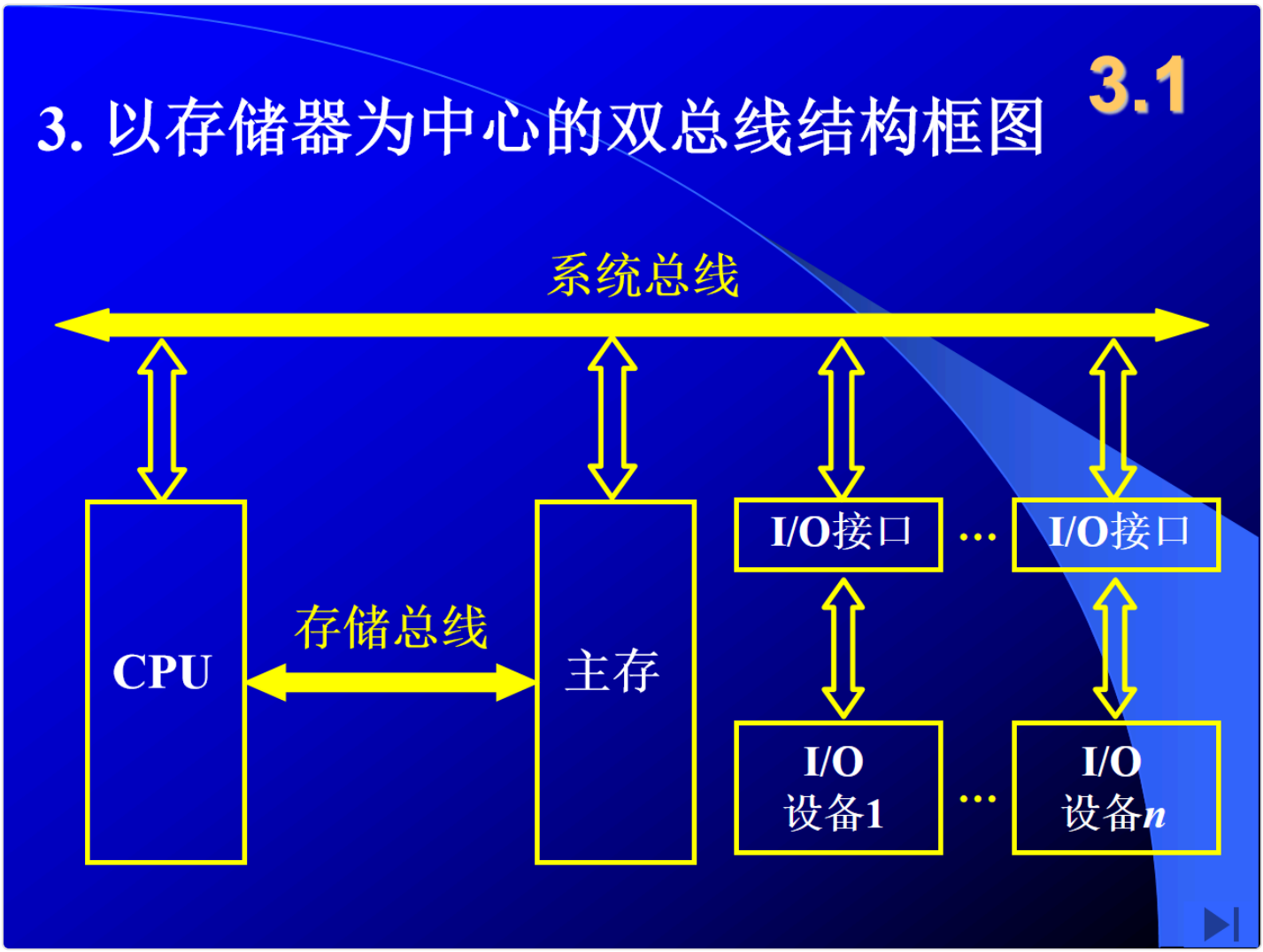
① **面向 CPU 的双总线结构**（课件 p.60）：CPU 与主存之间用 **M 总线**，CPU 与各 I/O 接口之间用 **I/O 总线**。两条总线都以 CPU 为中心。



② **单总线结构**（课件 p.61）：CPU、主存、所有 I/O 接口都挂在同一条**系统总线**上。



③ **以存储器为中心的双总线结构**（课件 p.62）：在系统总线之外，CPU 与主存之间再设一条专用的**存储总线**。



1.3 要点与对比

结构	总线组成	特点
单总线	一条系统总线	任意两部件可直接传信息；但总线被分时占用，同一时刻只能一对部件通信，速度受限（课件 p.61）
面向 CPU 双总线	M 总线 + I/O 总线	CPU–主存、CPU–I/O 可并行传送；但主存与 I/O 设备交换信息必须经过 CPU（课件 p.60，补充常识）
以存储器为中心双总线	系统总线 + 存储总线	CPU–主存走专用存储总线，I/O 与主存交换可不占 CPU 通路，减轻 CPU 负担（课件 p.62，补充常识）

易错警示：单总线"结构简单、易扩充"是优点，"分时串行、带宽瓶颈"是缺点；双总线的"双"指两条独立总线可**并行**工作，不是把一条总线拆成两半。

2. 总线的分类（课件 p.63–64）

2.1 概念精讲

按连接层次分三大类（课件 p.63–64）：

1. **片内总线**：芯片内部的总线（如 CPU 内部寄存器与 ALU 之间的连线）。
2. **系统总线**：计算机**各部件之间**的信息传输线，按功能再分三类： - **数据总线**：**双向**，其位数（宽度）与**机器字长、存储字长**有关； - **地址总线**：**单向**，其位数与**存储地址、I/O 地址**有关（决定可寻址范围）； - **控制总线**：**有出有入**——"出"（CPU 发出）：存储器读、存储器写、总线允许、中断确认；"入"（送往 CPU）：中断请求、总线请求（课件 p.63）。
3. **通信总线**：用于**计算机系统之间**或**计算机系统与其他系统**（如控制仪表、移动通信等）之间的通信；按传输方式分**串行通信总线**和**并行通信总线**（课件 p.64）。

2.2 要点表格

类别	位置	方向/方式	关联因素
片内总线	芯片内部	—	—
系统总线-数据	部件之间	双向	机器字长、存储字长
系统总线-地址	部件之间	单向	存储地址、I/O 地址
系统总线-控制	部件之间	有出有入	读/写/总线允许/中断确认（出）；中断请求/总线请求（入）
通信总线	系统之间	串行/并行	通信距离与速率（补充常识）

易错警示：① 地址总线是**单向**的（地址只能由主设备发出），数据总线才是双向；② 控制总线"有出有入"是就整组线而言，**每一根**控制线方向仍是固定的；③ 系统总线 ≠ 通信总线，前者机内、后者机间。

3. 总线特性及性能指标（课件 p.65–67）

3.1 总线物理实现与四大特性

物理实现：总线做在**主板**上（BUS），CPU 插板、主存插板、I/O 插板插接到总线上（课件 p.65）。

特性	含义（课件 p.66）	记忆关键词
机械特性	尺寸、形状、管脚数及排列顺序	插头插座"长什么样"
电气特性	传输方向和有效的电平范围	电平、方向
功能特性	每根传输线的功能（地址/数据/控制）	每根线"干什么"
时间特性	信号的时序关系	先后顺序

3.2 总线性能指标（课件 p.67，七项）

1. **总线宽度**：**数据线的根数**（位宽，单位 bit）；
2. **标准传输率**：每秒传输的**最大字节数**（MBps），即总线带宽；
3. **时钟同步/异步**：总线上的信号与时钟同步还是不同步；
4. **总线复用**：**地址线与数据线复用**（同一组线分时传地址和数据，如 8086 的 AD0–AD15，补充常识）；
5. **信号线数**：地址线、数据线和控制线的**总和**；
6. **总线控制方式**：并发、自动、仲裁、逻辑、计数；
7. **其他指标**：负载能力等。

3.3 带宽公式（补充常识，由 p.67"标准传输率"定义导出）

```
总线带宽 = 总线位宽(bit) × 总线时钟频率(Hz) ÷ 8          单位：B/s
若一个总线传输周期含 N 个时钟周期：
总线带宽 = 总线位宽 × 时钟频率 ÷ (8 × N)
```

- 例：32 位、33 MHz、每时钟传一次 → 32×33÷8 = **132 MB/s**（与课件 p.69 PCI 行一致）。
- 例：16 位、8 MHz、一个传输周期 = 2 个时钟 → 16×8÷(8×2) = **8 MB/s**。
- 单位换算：1 MBps = 8 Mbps；课件 USB 行的 Mbps 是**位**/秒，除以 8 才是字节/秒。

易错警示：① 总线宽度只数**数据线**，信号线数才是三者总和；② 公式中"÷8"是 bit→Byte，别漏；③ 题目若给出"传输周期 = 几个时钟"，必须再除以 N，课件 p.69 表格是按每时钟传送一次算的。

4. 总线标准（课件 p.68–69）

4.1 概念精讲

总线标准是**系统与各模块之间的标准界面**（课件 p.68），使不同厂家的模块可以互换互连。课件列出：ISA、EISA、VESA（VL-BUS）、PCI、AGP、RS-232、USB（课件 p.68；p.68 写作"VESA(LV-BUS)"，p.69 写作"VESA (VL-BUS)"，即 VESA 局部总线，通常记作 VL-BUS）。

4.2 课件参数表（课件 p.69 原表 + 按公式重算核对）

四、总线标准

3.3

总线标准	数据线	总线时钟	带宽
ISA	16	8 MHz（独立）	33 MBps
EISA	32	8 MHz（独立）	33 MBps
VESA (VL-BUS)	32	32 MHz（CPU）	133 MBps
PCI	32 64	33 MHz（独立） 64 MHz（独立）	132 MBps 528 MBps
AGP	32	66.7 MHz（独立） 133 MHz（独立）	266 MBps 533 MBps
RS-232	串行通信 总线标准	数据终端设备（计算机）和数据通信设备（调制解调器）之间的标准接口	
USB	串行接口 总线标准	普通无屏蔽双绞线 带屏蔽双绞线 最高	1.5 Mbps (USB1.0) 12 Mbps (USB1.0) 480 Mbps (USB2.0)

总线标准	数据线(位)	总线时钟	课件带宽	按 位宽×频率÷8 重算
ISA	16	8 MHz（独立）	33 MBps	16 MBps（课件原文如此，存疑：33 MBps 应为 EISA 的带宽）
EISA	32	8 MHz（独立）	33 MBps	32 MBps（实际时钟 8.33 MHz 时≈33，吻合）
VESA (VL-BUS)	32	32 MHz（CPU）	133 MBps	128 MBps（课件原文如此，存疑：时钟应为 33 MHz，32×33÷8=132≈133）
PCI	32 / 64	33 MHz / 64 MHz（独立）	132 / 528 MBps	132 / 512 MBps（课件原文如此，存疑：64 位档时钟应为 66 MHz，64×66÷8=528）
AGP	32	66.7 MHz / 133 MHz（独立）	266 / 533 MBps	266.8 / 532 MBps（课件取 266 为截断、533 对应 133.3 MHz）
RS-232	串行通信总线标准	——	——	数据终端设备（计算机）与数据通信设备（调制解调器）之间的标准接口
USB	串行接口总线标准	普通无屏蔽双绞线 / 带屏蔽双绞线 / 最高	1.5 Mbps (USB1.0) / 12 Mbps (USB1.0) / 480 Mbps (USB2.0)	注意单位是 **Mbps（位/秒）**，480 Mbps = 60 MBps

4.3 要点

- **独立时钟**：ISA/EISA/PCI/AGP 的总线时钟独立于 CPU 时钟；**VESA 局部总线时钟跟 CPU 时钟**（课件 p.69 标"CPU"），故 CPU 变频它也跟着变，负载能力差（补充常识）。
- PCI 32 位/33 MHz → 132 MBps 是最常考的一组数；64 位/66 MHz → 528 MBps。
- RS-232 是**串行**通信标准，连接 DTE（计算机）与 DCE（调制解调器）；USB 是**串行**接口总线标准，速率按版本记 1.5/12/480 Mbps。

易错警示：① 课件表中 ISA 带宽 33 MBps、VESA 时钟 32 MHz、PCI 64 MHz 三处与公式自洽性不符，答题若要求"按公式计算"以计算值为准，若要求"按课件填表"照课件填并知悉存疑；② USB 的 Mbps 不要当成 MBps；③ AGP 是图形专用局部总线（补充常识）。

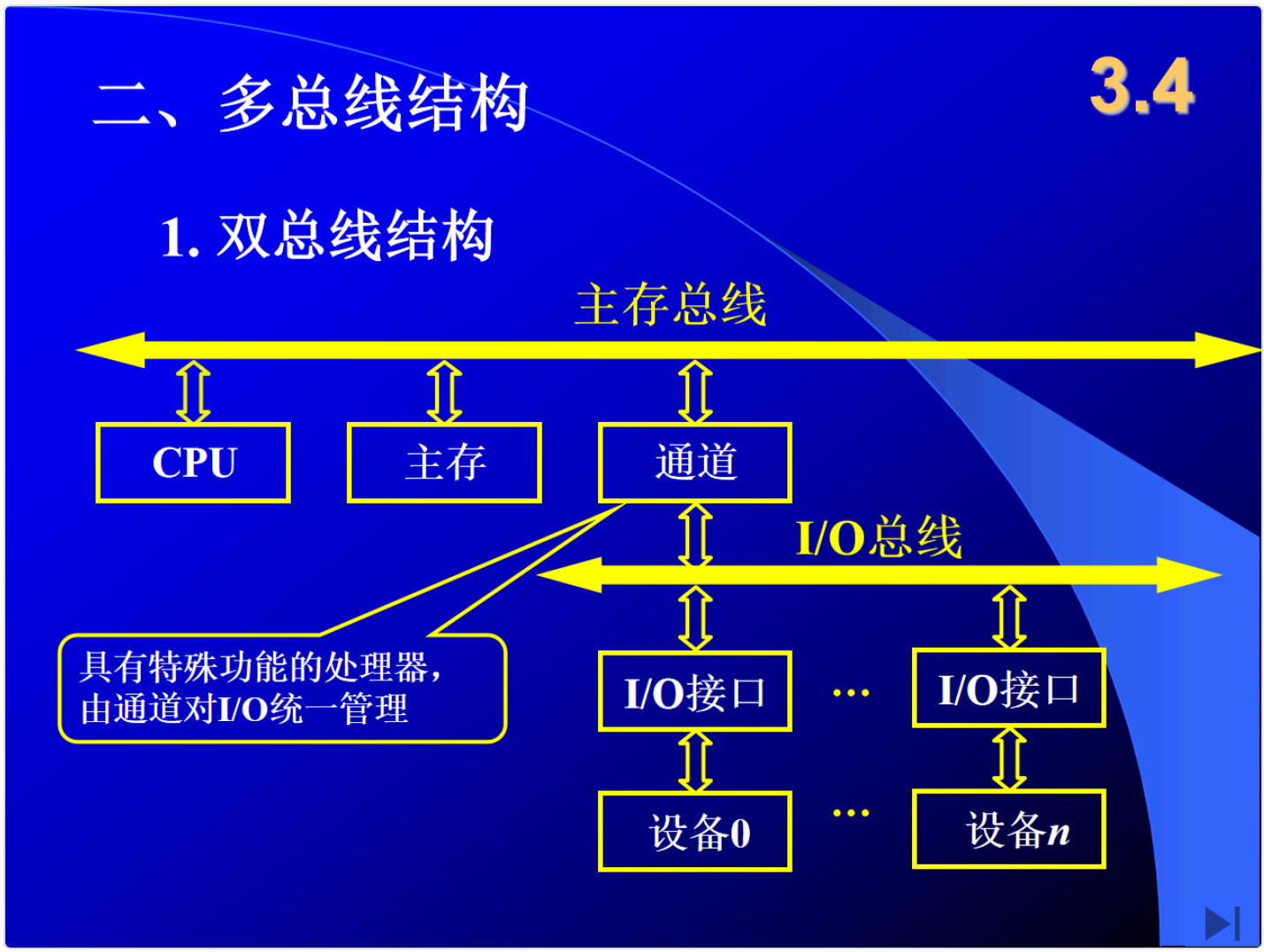
5. 总线结构（课件 p.70–78）

5.1 单总线结构（课件 p.70）

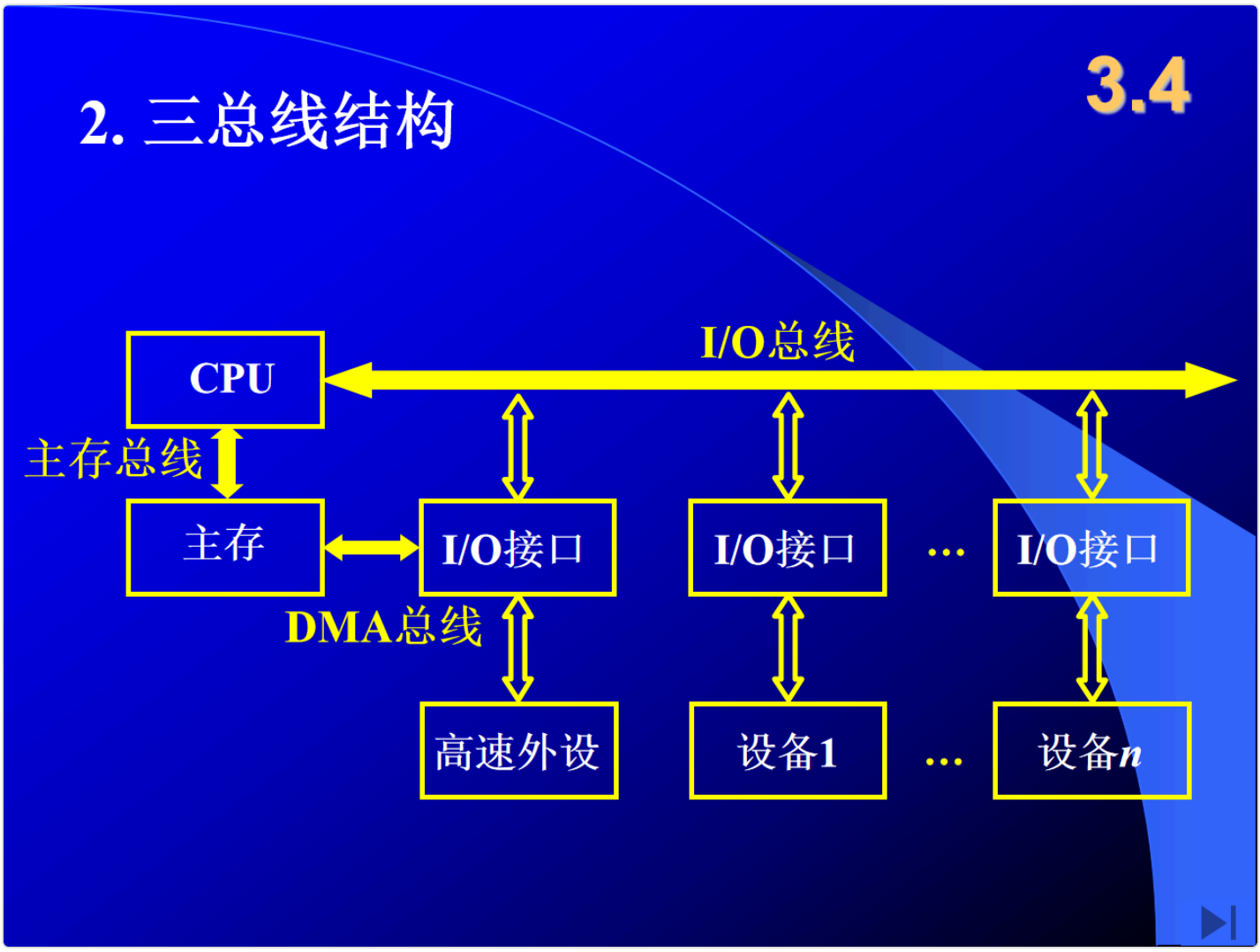
即 p.61 框图：所有部件共享一条系统总线。优点：结构简单、便于扩充；缺点：总线分时使用，成为系统速度瓶颈（补充常识）。

5.2 多总线结构

① 双总线结构（通道）（课件 p.71）：**主存总线**连接 CPU、主存、通道；**I/O 总线**连接通道与各 I/O 接口。**通道是具有特殊功能的处理器，由通道对 I/O 统一管理**（课件 p.71 原文）。CPU 把 I/O 任务交给通道，自己继续算，实现 CPU 与 I/O 并行。



② 三总线结构（DMA）（课件 p.72）：**主存总线**（CPU–主存）、**DMA 总线**（主存–高速外设的 I/O 接口）、**I/O 总线**（CPU–各 I/O 接口）。高速外设经 DMA 总线与主存直接交换数据，不经过 CPU。

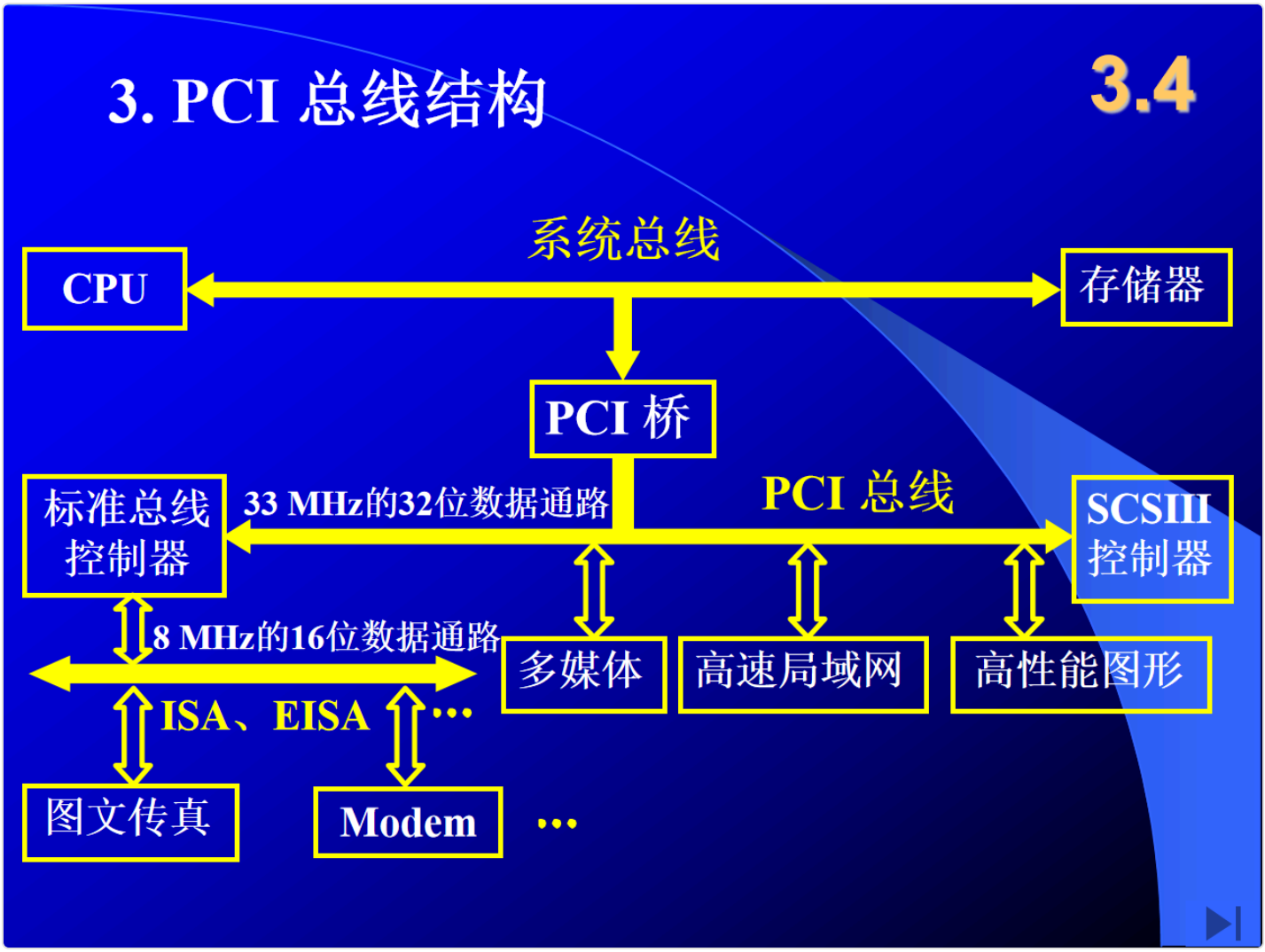


③ **三总线结构的又一形式**（课件 p.73）：**局部总线**连接 CPU 与 Cache，并挂局部 I/O 控制器；**系统总线**连接主存、Cache，并经**扩展总线接口**引出**扩展总线**；扩展总线上挂局域网、SCSI、Modem、串行接口等设备（按课件 p.73 框图）。

④ **四总线结构**（课件 p.74）：**局部总线**（CPU–Cache/桥）、**系统总线**（Cache/桥–主存）、**高速总线**（SCSI、图形、多媒体、局域网）、**扩展总线**（FAX、Modem、串行接口，经扩展总线接口与高速总线相连）。层次越多，越能把快慢设备分开、互不拖累（补充常识）。

5.3 总线结构举例（课件 p.75–78）

举例	要点
传统微型机总线结构（p.75）	系统总线为 33 MHz 的 32 位数据通路，连 CPU、主存控制器/存储器、SCSIII控制器；其余 I/O 经标准总线控制器落到 ISA/EISA 的 8 MHz 16 位数据通路，慢总线拖累快设备
VL-BUS 局部总线结构（p.76）	增设局部总线控制器，把多媒体、高速局域网、高性能图形等高速设备挂到 VL-BUS 局部总线（33 MHz 32 位）；图文传真、Modem 等仍留在 ISA/EISA（8 MHz 16 位）
PCI 总线结构（p.77）	CPU–存储器走系统总线，经 **PCI 桥**接 PCI 总线（33 MHz 32 位）；多媒体、高速局域网、高性能图形、SCSIII控制器挂 PCI；ISA/EISA 经标准总线控制器挂在 PCI 桥下（8 MHz 16 位）
多层 PCI 总线结构（p.78）	用"桥"逐级扩展：桥0、桥4 为第一级桥；桥5、总线桥、桥1、桥3 为第二级桥；桥2 为第三级桥；可挂 PCI 总线0–5 及标准总线，扩大负载能力与层次（课件 p.78）



5.4 易错警示

- 三总线（p.72）中 **DMA 总线连的是"主存—高速外设接口"**，不是 CPU—主存（那是主存总线）；
- **通道是处理器**（有特殊功能的处理器），不是普通接口芯片（课件 p.71）；

- "桥"的作用是连接两条总线、隔离负载并做速度/协议转换（补充常识）；PCI 桥使 CPU 总线与 PCI 总线并行工作。

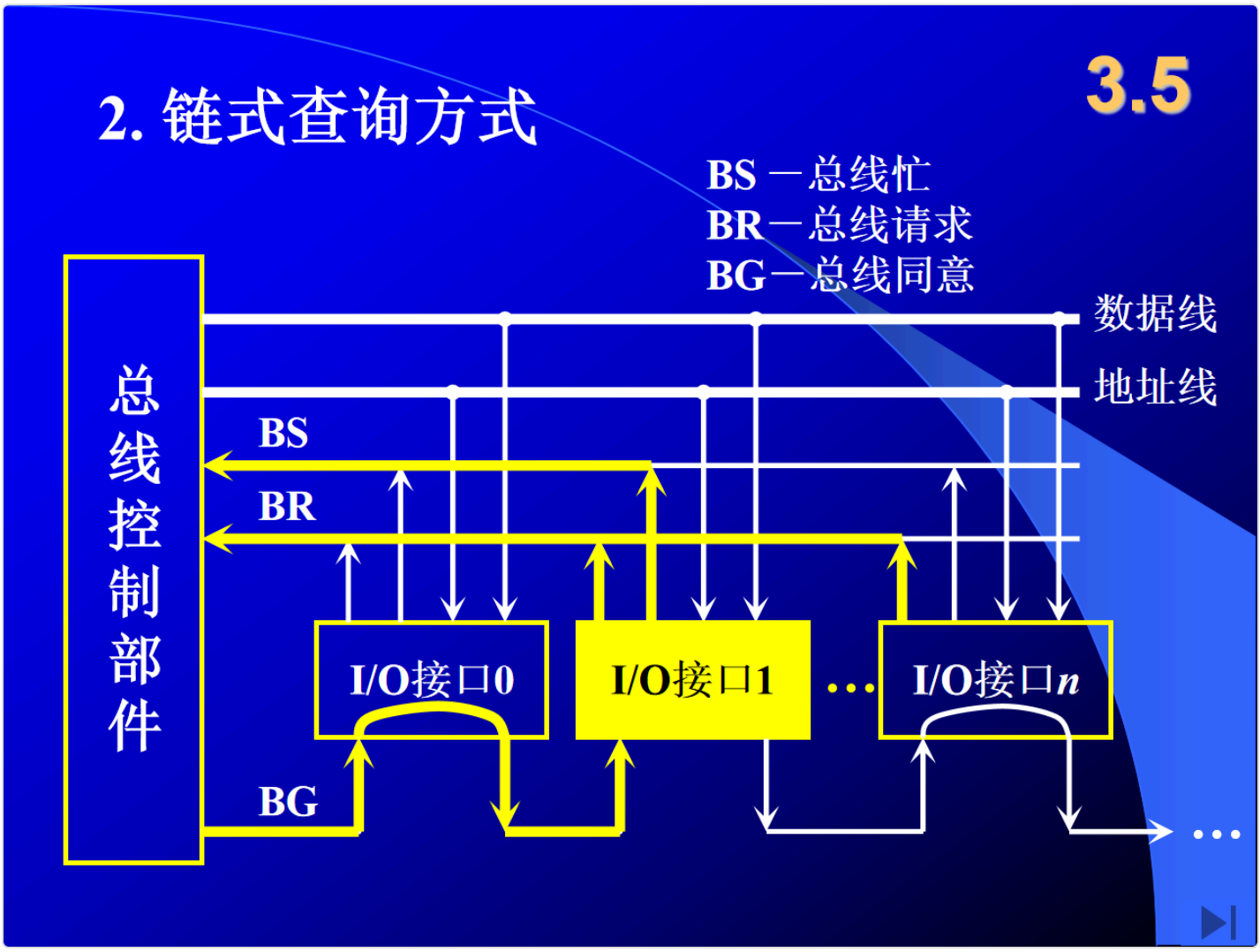
6. 总线控制（一）：总线判优控制（仲裁）（课件 p.79–82）

6.1 基本概念（课件 p.79）

- **主设备（模块）**：对总线有**控制权**（主动发起传输）；**从设备（模块）**：**响应**从主设备发来的总线命令。
- 仲裁分**集中式**（设总线控制部件统一裁决）与**分布式**（课件 p.79 仅列分类；分布式即各模块自带仲裁逻辑、自行协商决定使用权，补充常识）。
- 集中式三种：**链式查询、计数器定时查询、独立请求方式**（课件 p.79）。

6.2 链式查询方式（课件 p.80）

三根公共控制线：**BS - 总线忙、BR - 总线请求、BG - 总线同意**。BR、BS 各接口**并联**共用；**BG 串行**地从一个接口穿到下一个接口（链式）。

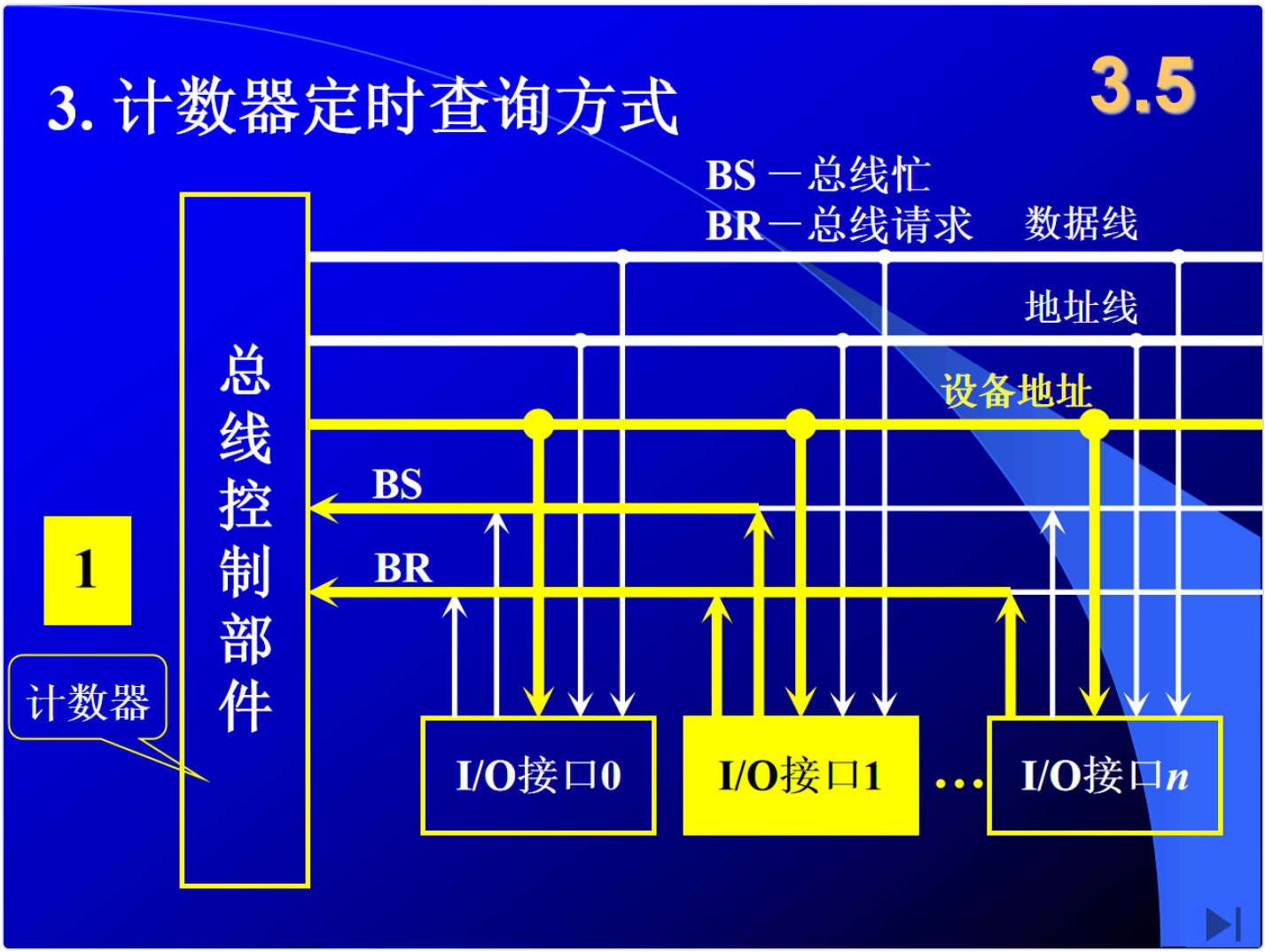


工作过程（结合 p.80 图）：有请求的接口置 BR 有效；总线控制部件在总线不忙（BS 无效）时发出 BG；BG 沿链传播，**遇到的第一个有请求的接口**截获 BG、置 BS 忙、获得总线权，BG 不再往下传。

要点：① 优先级**固定**，由接口在链中的**物理位置**决定，离总线控制部件越近优先级越高；② 仲裁控制线最少（仅 3 根），易扩充；③ 对电路故障敏感——BG 链在某接口处断了，其后所有接口都拿不到总线；④ 查询逐级传播，速度较慢（②③④为补充常识）。

6.3 计数器定时查询方式（课件 p.81）

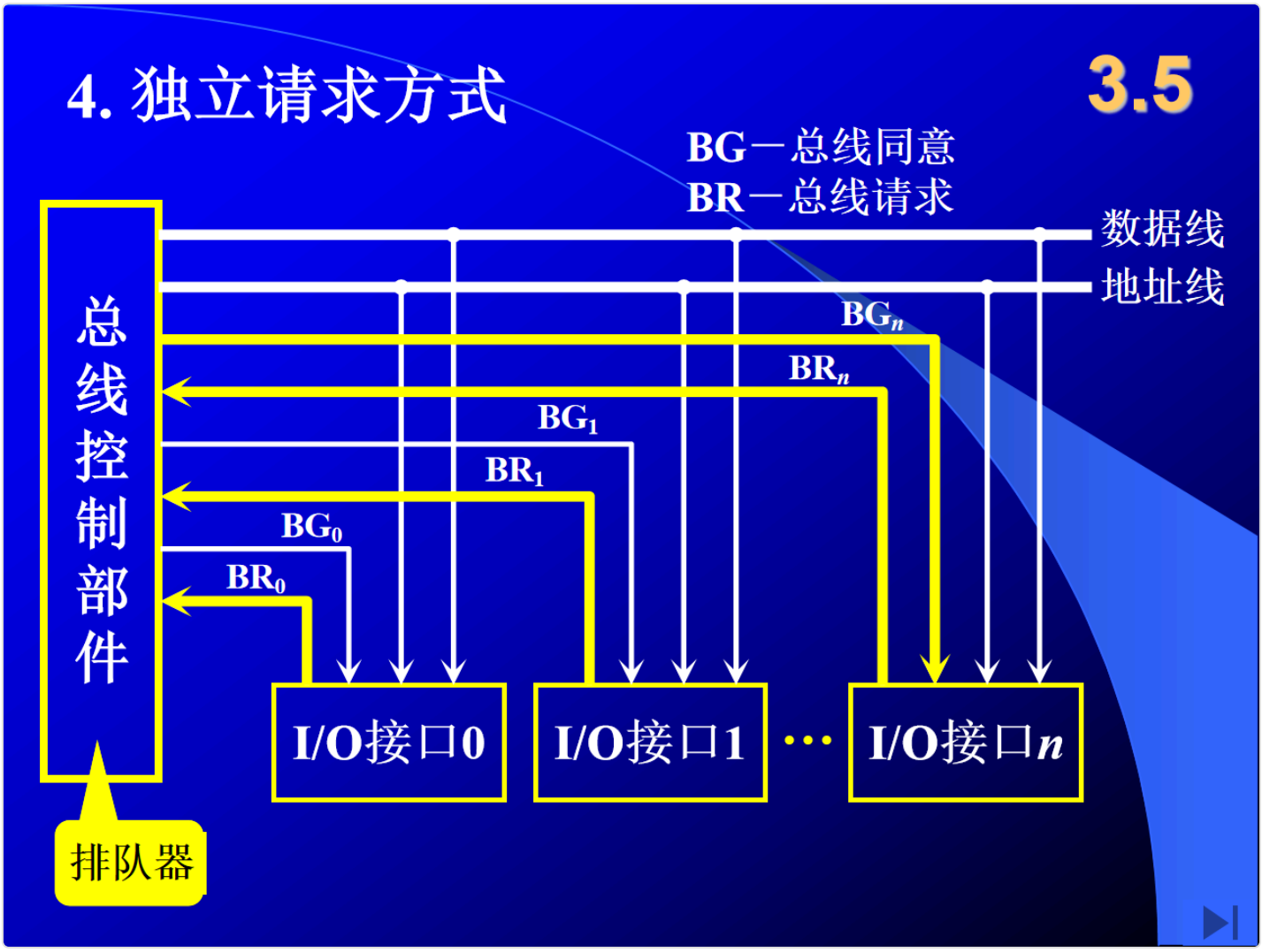
不用 BG 链，改用一组**设备地址线**广播计数值；总线控制部件内设**计数器**。有请求时（BR 有效、BS 无效），计数器计数，计数值经设备地址线送出，**地址与计数值一致且有请求的接口**获得总线权、置 BS 忙。



要点：① 优先级**灵活**：计数器每次从 0 开始 → 优先级固定（同链式）；计数器从上次终止值循环计数 → 各设备**优先级相等**（循环公平）；还可预置初值改变优先顺序（补充常识）；② 控制线数 = 2（BR、BS）+ 设备地址线 $\lceil \log_2 n \rceil$ 根（n 为设备数，补充常识）；③ 对故障不敏感，但控制较复杂、速度仍受查询过程限制（补充常识）。

6.4 独立请求方式（课件 p.82）

每个接口各有**一对**专用线：**BR_i（总线请求）与 BG_i（总线同意）**，全部直连总线控制部件；部件内设**排队器**（仲裁电路）裁决。



要点：① **响应速度最快**（无需逐级查询或计数）；② 优先级由排队器决定，**可用程序灵活改变**（补充常识）；③ 控制线最多：n 个设备需 **2n** 根请求/同意线，控制最复杂（课件 p.82 图 + 补充常识）。

6.5 三方式对比表（必背）

对比项	链式查询	计数器定时查询	独立请求
仲裁控制线数	3（BR、BS、BG）	2 + $\lceil \log_2 n \rceil$（设备地址线）	2n（BR_i、BG 各 n）
优先级	固定，按物理位置	灵活（初值/循环可设）	灵活（排队器可编程）
响应速度	慢（逐级传 BG）	中（计数查询）	最快
故障敏感性	敏感（BG 断链全瘫）	不敏感	不敏感（单线故障只影响本设备）
扩充性	最易	较易（受地址线位数限制）	较差（线数随 n 线性增）
关键部件	BG 链	计数器 + 设备地址线	排队器

易错警示：① 链式查询中 BR、BS 是**并联**的，只有 BG 是**串联**的；② "优先级固定"≠"不能改"——链式改优先级只能改接线位置，计数器改初值即可；③ 独立请求快是快在"不用查询"，代价是线多。

7. 总线控制（二）：总线通信控制（定时）（课件 p.83–93）

7.1 目的与总线传输周期（课件 p.83）

目的：解决通信双方**协调配合**问题。一个**总线传输周期**分四阶段：

阶段	做什么（课件 p.83）
申请分配阶段	主模块申请，总线仲裁决定
寻址阶段	主模块向从模块给出地址和命令
传数阶段	主模块和从模块交换数据
结束阶段	主模块撤消有关信息

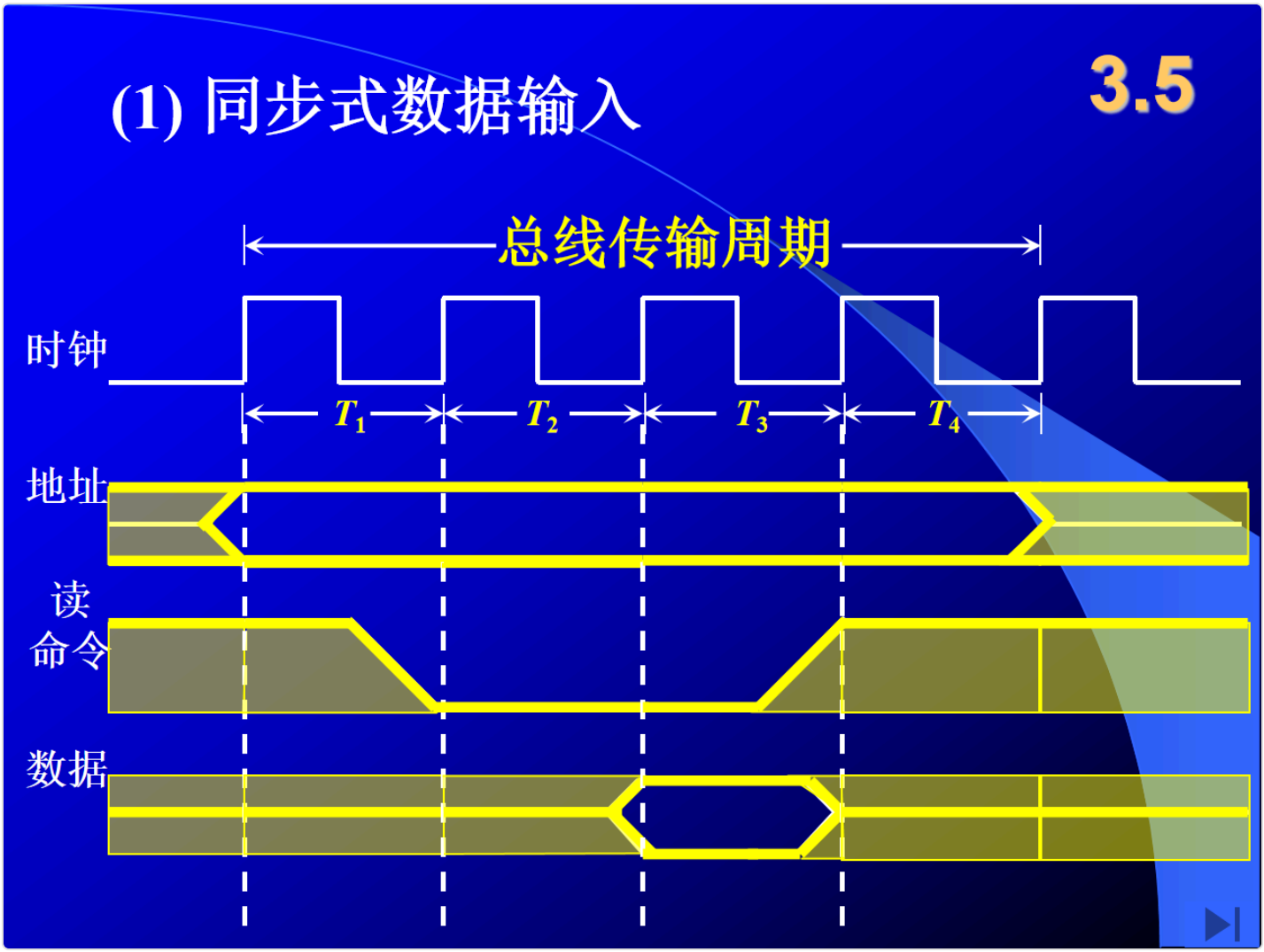
7.2 四种通信方式总览（课件 p.84）

方式	一句话特征（课件 p.84）
同步通信	由**统一时标**控制数据传送
异步通信	采用**应答方式**，没有公共时钟标准
半同步通信	**同步、异步结合**
分离式通信	**充分挖掘系统总线每个瞬间的潜力**

7.3 同步通信（课件 p.85–86）

所有操作由统一时钟（时标）规定，一个传输周期固定为 T1–T4 四个时钟周期。

同步式数据输入（课件 p.85，图中读命令低电平有效）：T1 主模块发**地址**；T2 主模块发**读命令**；T3 **从模块提供数据**；T4 主模块撤消命令、从模块撤消数据（地址维持到 T4 末）。

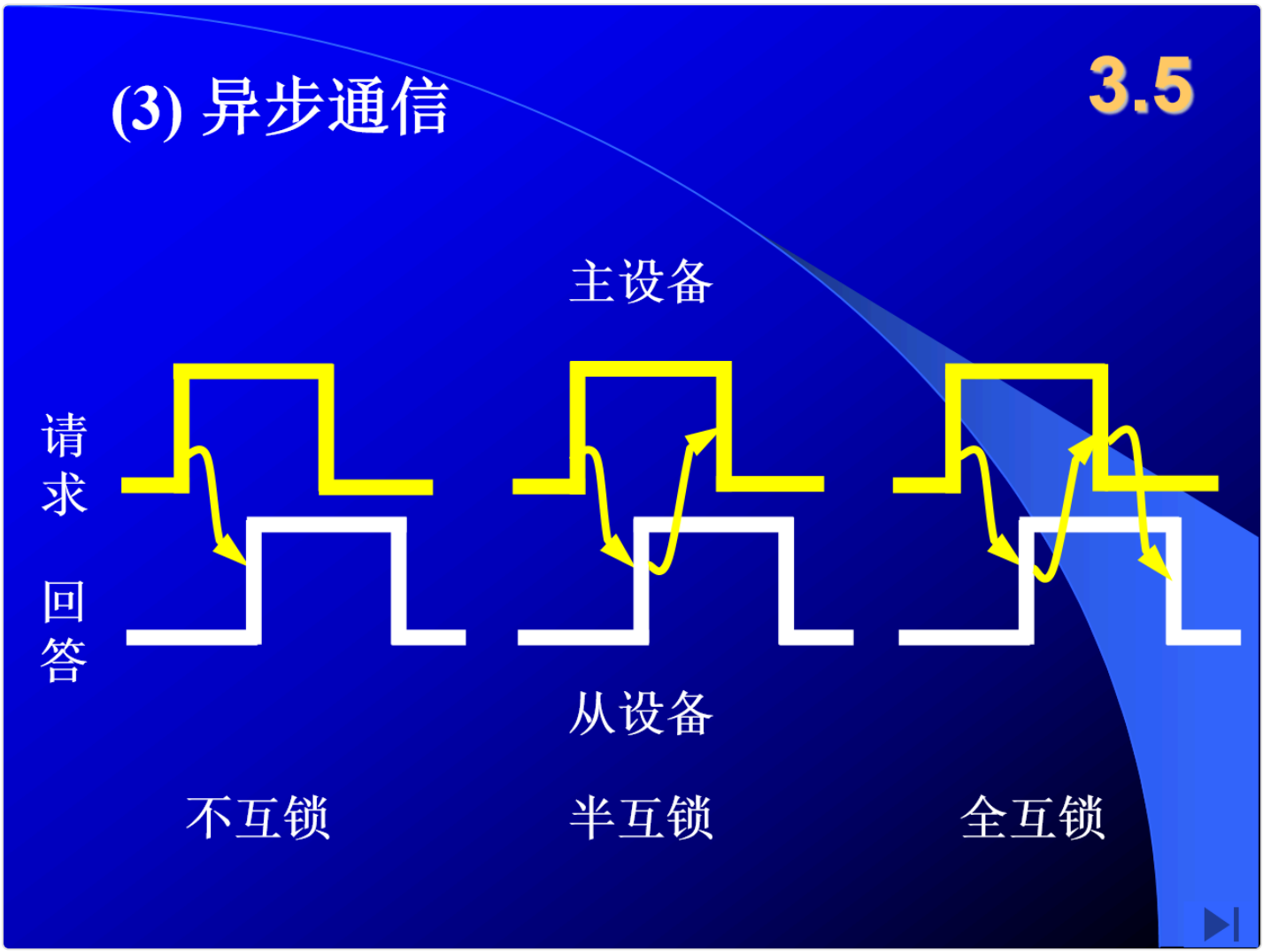


同步式数据输出（课件 p.86）：T1 主模块发地址；T2 主模块发**写命令和数据**（数据由主模块提供，从模块在 T2–T3 期间接收写入）；T4 撤消写命令与数据。

要点与优缺点（补充常识）：规则简单、时序明确、易实现；但主从被**强制同步**，快模块必须迁就慢模块，速度差异大时浪费严重，且一般不校验传送是否正确。适合速度相近的模块、短总线。

7.4 异步通信（课件 p.87）

无公共时钟，靠**请求/回答**两条握手线应答配合。按互锁程度分三种：



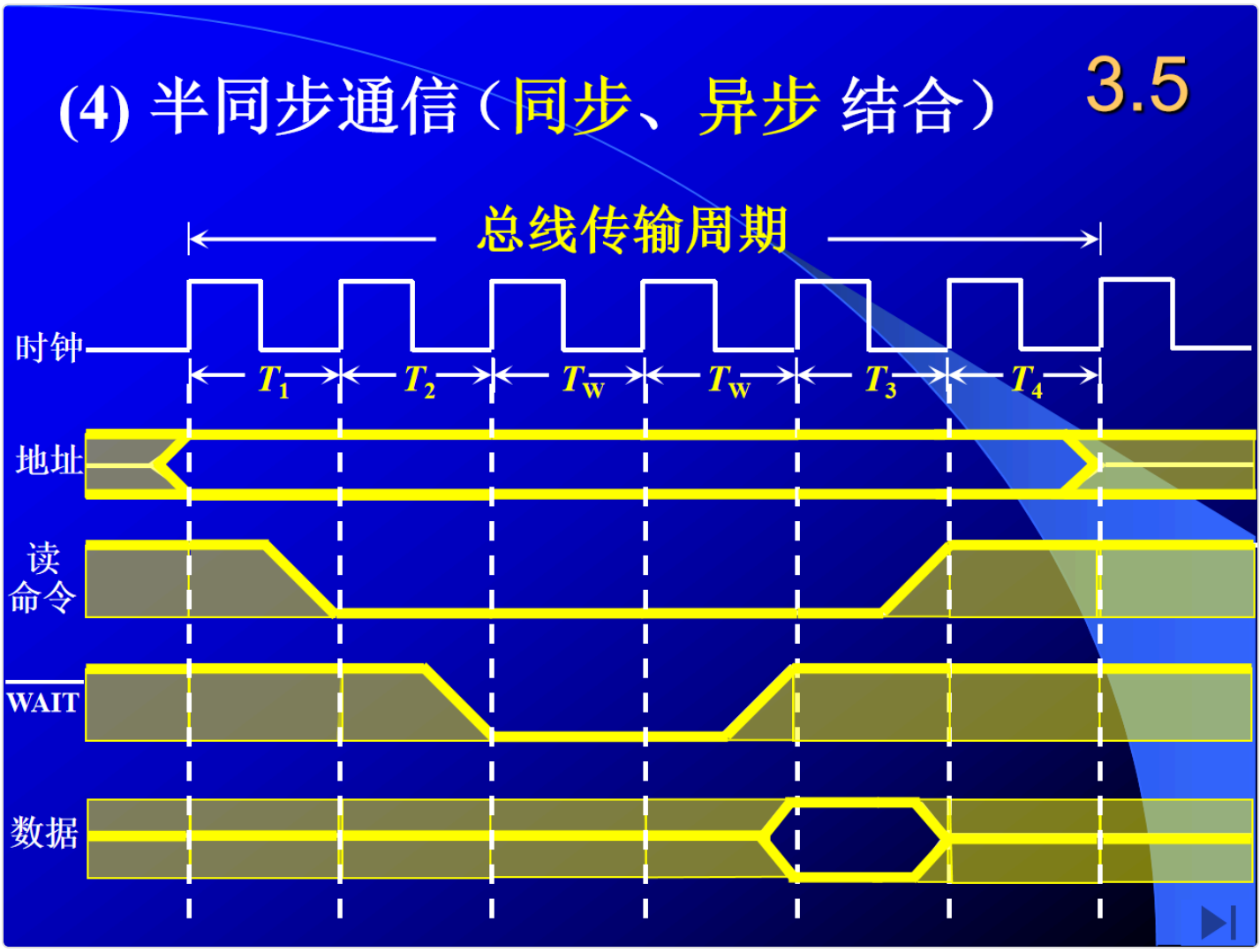
互锁方式	主设备撤请求的条件	从设备撤回答的条件	可靠性
不互锁	发请求后延时一段时间自行撤销，**不等回答**	发回答后延时自行撤销，**不等请求撤销**	最低
半互锁	**收到回答后**才撤请求	发回答后延时自行撤销，不等请求撤销	中
全互锁	**收到回答后**才撤请求	**确认请求已撤销后**才撤回答	最高

（互锁关系由 p.87 波形箭头读出；"可靠性"排序为补充常识。）异步优点：允许速度差异大的模块配合、灵活；缺点：控制复杂、握手开销使速度受限（补充常识）。

7.5 半同步通信（课件 p.88–90）

同步、异步结合：保留统一时钟——**发送方用系统时钟前沿发信号，接收方用系统时钟后沿判断、识别**（课件 p.88）；同时**增加一条"等待"响应信号 WAIT（低电平有效）**，允许不同速度的模块和谐工作（课件 p.88）。

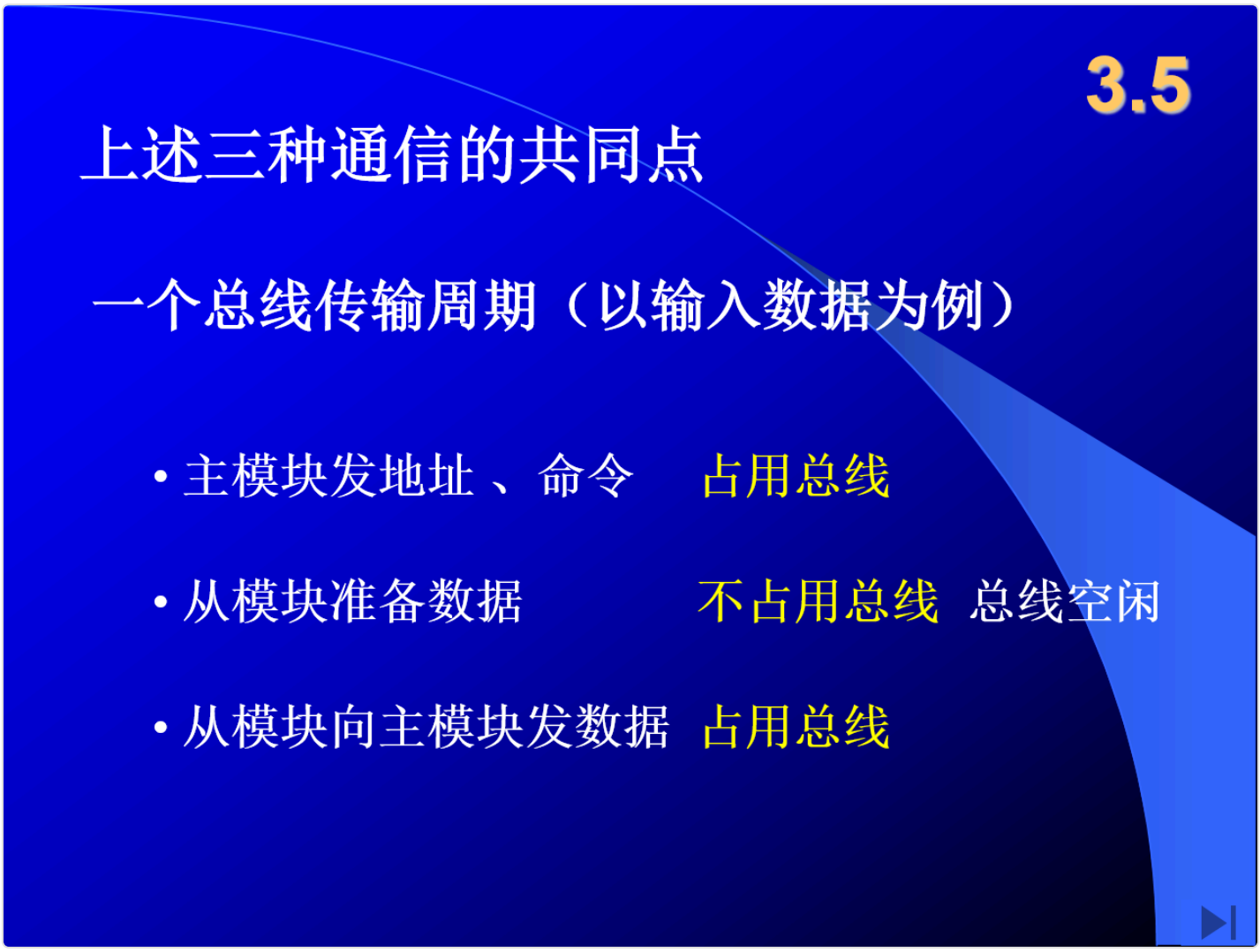
时序（课件 p.89–90，以输入为例）：T1 主模块发地址；T2 主模块发命令；**当 WAIT 为低电平时，插入等待周期 Tw（一个 T）**，可插多个；T3 从模块提供数据；T4 从模块撤销数据、主模块撤销命令。p.90 图即 T1、T2、Tw、Tw、T3、T4 共 6 个时钟的例子。



要点：Tw 的个数由慢设备决定，**总线传输周期不再固定**；既有时钟的整齐，又有应答的灵活（补充常识）。

7.6 前三种方式的共同点：总线存在空闲（课件 p.91）

以输入数据为例，一个传输周期内：**主模块发地址、命令 → 占用总线；从模块准备数据 → 不占用总线（总线空闲）；从模块向主模块发数据 → 占用总线**。即"从模块准备数据"这段时间总线被白白占着却不用——这是分离式通信要消除的浪费。

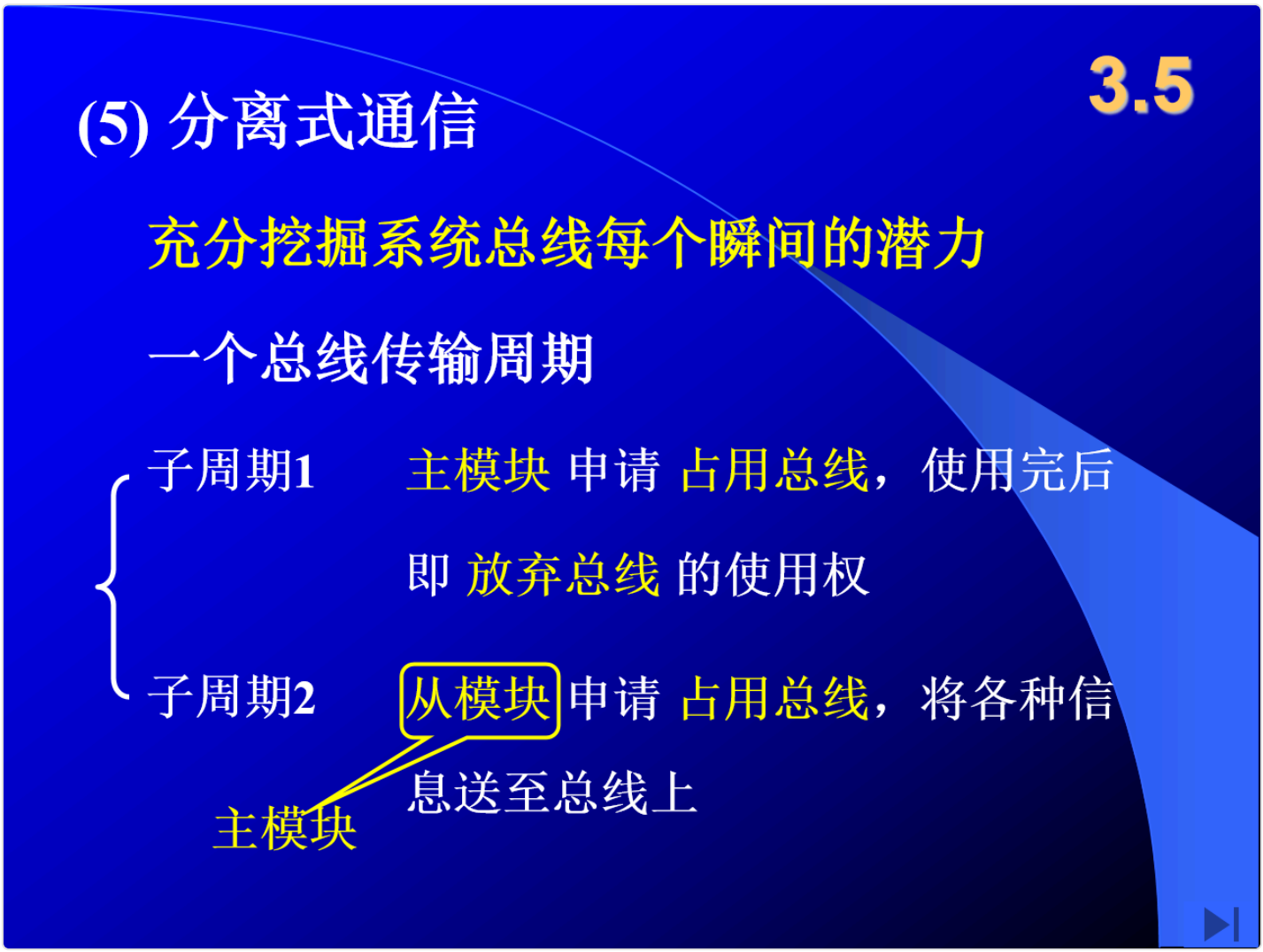


7.7 分离式通信（课件 p.92–93）

把一个总线传输周期拆成**两个子周期**（课件 p.92）：

- **子周期 1**：**主模块**申请占用总线，发出地址/命令，**使用完后即放弃总线使用权**；
- **子周期 2**：**从模块**（准备好数据后）**申请占用总线**（此时它成为主模块），将各种信息送至总线上。

分离式通信四特点（课件 p.93，必背）： 1. 各模块**有权申请占用总线**； 2. 采用**同步方式**通信，**不等对方回答**； 3. 各模块**准备数据时，不占用总线**； 4. **总线被占用时，无空闲** → 充分提高了总线的有效占用。



7.8 四方式对比与易错警示

方式	公共时钟	应答/等待	总线空闲	适用
同步	有	无	有（准备数据期间）	速度相近模块
异步	无	请求/回答互锁	有	速度差异大
半同步	有	WAIT 插 Tw	有（Tw 期间仍占总线）	速度略有差异
分离式	有（同步、不等回答）	各模块自行申请	**无**	挖掘总线潜力

易错警示：① 半同步的 WAIT **低电平**才等待，且 Tw 期间总线**仍被占用**（只是不传数），分离式才真正消除空闲；② 分离式子周期 2 中**原来的从模块变成主模块**去申请总线；③ 分离式仍用**同步**方式、**不等回答**，不要误记成异步；④ 总线传输周期 ≠ 时钟周期，同步方式一个传输周期 = 4 个 T，半同步还要加 Tw。

8. 易错点与高频陷阱汇总

1. 带宽单位陷阱：MBps 是字节/秒、Mbps 是位/秒，USB 480 Mbps = 60 MBps，差 8 倍。

2. 位宽陷阱：总线宽度 = 数据线根数；信号线数 = 地址+数据+控制总和，二者不是一回事。
3. 方向陷阱：地址总线单向、数据总线双向；控制总线整组"有出有入"但单根方向固定。
4. 公式陷阱：带宽 = 位宽×频率÷8 只在"每时钟传一次"成立；传输周期含 N 个时钟要再÷N。
5. 课件数据陷阱：p.69 表 ISA 带宽 33 MBps（按公式应 16）、VESA 时钟 32 MHz（应 33）、PCI 64 MHz（应 66）三处存疑，计算题以公式自洽值为准。
6. 链式查询陷阱：只有 BG 串联，BR/BS 并联；优先级看物理位置，与请求先后无关；BG 断链其后全瘫。
7. 计数器陷阱：优先级取决于计数器初值策略（从 0 固定、循环公平），不是"永远固定"。
8. 独立请求陷阱：响应最快但线最多（2n 根），"快"不等于"省线"。
9. 结构陷阱：p.72 三总线中 DMA 总线连主存与高速外设接口；通道是"具有特殊功能的处理器"。
10. 同步陷阱：同步通信不是"没有等待"，而是"不允许等待"——慢设备只能靠拉长固定周期迁就；半同步才引入 WAIT。
11. 互锁陷阱：半互锁只锁"主撤请求等回答"一半；全互锁两边都等，最可靠。
12. 半同步陷阱：WAIT 低电平插 Tw；Tw 期间总线仍被占用，不算"空闲释放"。
13. 分离式陷阱：子周期 2 由原从模块申请总线（角色互换）；分离式用同步、不等回答；"总线被占用时无空闲"。
14. 周期陷阱：总线传输周期含申请/寻址/传数/结束四阶段，同步定时中占 T1–T4 多个时钟，别把 T 当传输周期。

9. 典型例题精讲

例 1（带宽计算） 某总线数据线 32 根，时钟 33 MHz，每个时钟周期传送一次数据，求带宽；若改为 64 位、66 MHz 呢？USB2.0 标称 480 Mbps 合多少 MBps?

解：① 带宽 = 32×33÷8 = 132 MB/s（与课件 p.69 PCI 行一致）。② 64×66÷8 = 528 MB/s。③ 480 Mbps ÷ 8 = 60 MB/s。教学点：先统一单位（bit→Byte 除 8），再确认"每时钟传几次"。

例 2（仲裁线数与优先级） 16 个 I/O 设备，分别采用三种集中式仲裁，各需多少根仲裁控制线？优先级如何确定?

解：链式查询 3 根（BR、BS、BG），优先级按链上位置固定；计数器定时查询 2 + $\lceil \log_2 16 \rceil$ = 2+4 = 6 根，初值从 0 则固定、循环计数则公平；独立请求 2×16 = 32 根，排队器可编程定优先级。教学点：线数公式 3 / 2+ $\lceil \log_2 n \rceil$ / 2n 与"速度—线数—灵活性"权衡。

例 3（半同步周期与带宽） 32 位总线，时钟周期 T = 50 ns，同步传输周期 4T；某慢从模块需插入 2 个 Tw。求实际传输周期与此时带宽；若不插 Tw 带宽多少?

解：实际周期 = (4+2)×50 = 300 ns；每次传 32÷8 = 4 B；带宽 = 4 B ÷ 300 ns ≈ 13.3 MB/s。不插 Tw：周期 200 ns，带宽 = 4÷200 ns = 20 MB/s。教学点：Tw 直接拉长周期、拉低带宽；WAIT 低电平期间每个 T 插一个 Tw（课件 p.89–90）。

例 4（分离式为何高效） 设同步方式一个传输周期 4T，其中从模块准备数据占 2T 且期间总线空闲（课件 p.91）。估算总线有效占用率，并说明分离式如何改进。

解：有效占用 = (4−2)÷4 = 50%。分离式把周期拆成子周期 1（主模块发地址命令后即释放总线）与子周期 2（从模块备好数据再申请总线送数），准备数据的 2T 里总线可服务其他模块，故"总线被占用时无空闲"，有效占用率趋近 100%（理想化估算，补充常识）。教学点：对照 p.91 与 p.93 四特点理解"挖掘每个瞬间潜力"。

附：本章速查表

公式 - 带宽 = 位宽(bit)×频率(Hz)÷8（B/s）；传输周期含 N 个时钟再÷N。 - 仲裁线数：链式 3；计数器 2+⌈$\log_2 n$⌉；独立 2n。 - 1 MBps = 8 Mbps；480 Mbps = 60 MBps。

总线标准速记（课件 p.69，存疑处见 §4） - ISA 16 位/8 MHz；EISA 32 位/8 MHz/33 MBps；VESA 32 位/跟 CPU 时钟/≈133 MBps；PCI 32 位 33 MHz=132 MBps、64 位 66 MHz=528 MBps；AGP 32 位 66.7/133 MHz=266/533 MBps；RS-232 串行 DTE–DCE；USB 串行 1.5/12/480 Mbps。

分类速记：片内/系统/通信；系统总线 = 数据(双向)+地址(单向)+控制(有出有入)。

四特性：机械(形状管脚)、电气(电平方向)、功能(每线功能)、时间(时序)。

结构速记：单总线共享分时；双总线(通道)主存总线+I/O 总线；三总线(DMA)主存+DMA+I/O；四总线 局部+系统+高速+扩展；PCI 靠桥分层。

仲裁速记：链式 BG 串、位置定优先、3 线、怕断链；计数器 地址线广播、初值定优先、2+⌈$\log_2 n$⌉ 线；独立 每设备一对 BR/BG、排队器、2n 线、最快。

定时速记：同步 T1 地址 T2 命令(输出加数据) T3 数据(输入) T4 撤销；异步 请求/回答，不互锁<半互锁<全互锁；半同步 WAIT 低插 Tw；分离式 两子周期、四特点、无空闲。

传输周期四阶段：申请分配 → 寻址 → 传数 → 结束。

控制信号：BS 总线忙、BR 总线请求、BG 总线同意、WAIT 等待（低有效）。