第9章 控制单元的功能 习题与解答

> 课件原题来源：Slide 466–497 中的例题与分析示例（取指/间址/执行/中断微操作分析、ADD @X 控制信号举例、8085 I/O 写时序举例）。补充题按本章考点命制，难度对标期末。

一、课件原题

题1（课件 p.468）

写出取指周期的微操作序列，并说明每一步的作用及涉及的数据通路。

解答： 序列（课件 p.468）： 1. PC → MAR → 地址线：把指令地址送存储器地址寄存器，并送上地址总线，选中存储单元。 2. 1 → R：CU 经控制总线发读命令。 3. M(MAR) → MDR：存储器把该单元内容（指令）经数据总线送存储器数据寄存器。 4. MDR → IR：指令送指令寄存器保存。 5. OP(IR) → CU：操作码字段送控制单元译码，决定后续控制信号。 6. (PC) + 1 → PC：PC 加 1，指向下一条指令，为下次取指作准备。 数据通路：PC→MAR 走 CPU 内部连线；MAR→存储器走地址总线；存储器→MDR 走数据总线；读命令走控制总线（课件 p.468 图）。 评分要点：六步齐全、顺序正确；指出 (PC)+1→PC 在取指周期内完成。

题2（课件 p.469）

写出间址周期的微操作序列，说明间址周期何时出现、读出的内容是什么。

解答： 序列（课件 p.469）： 1. Ad(IR) → MAR：指令的形式地址送 MAR。 2. 1 → R：发读命令。 3. M(MAR) → MDR：读出存储单元内容。 4. MDR → Ad(IR)：把读出的有效地址回送 IR 的地址字段。 说明：只有采用间接寻址的指令才需要间址周期（课件 p.473 间接访存/间接转移指令周期含间址周期）；间址周期读出的是**有效地址**而不是操作数，操作数要到执行周期再访存一次取出。 评分要点：四步齐全；末步是 MDR→Ad(IR) 而非 MDR→IR；指出间址周期不修改 PC。

题3（课件 p.470）

写出非访存指令 CLA、COM、SHR、CSL、STP 的微操作，并解释 SHR 与 CSL 中符号位的处理。

解答（课件 p.470）： - CLA（清 A）：0 → ACC。 - COM（取反）：$\overline{ACC}$ → ACC。 - SHR（算术右移）：L(ACC) → R(ACC)，ACC_0 → ACC_0。即左半部分送右半部分，符号位 ACC_0 保持不变（算术右移保持符号）。 - CSL（循环左移）：R(ACC) → L(ACC)，ACC_0 → ACC_n。即右半部分送左半部分，移出的最高位 ACC_0 循环送入最低位 ACC_n。 - STP（停机）：0 → G。把运行标志 G 清 0，机器停止运行。 评分要点：五条全对；SHR 符号位不变、CSL 最高位循环到最低位；STP 清 G 不清 ACC。

题4（课件 p.471–472）

写出 ADD X、STA X、LDA X、JMP X、BAN X 执行周期的微操作序列，并解释 BAN X 表达式的含义。

解答（课件 p.471–472）： - ADD X：Ad(IR) → MAR；1 → R；M(MAR) → MDR；(ACC) + (MDR) → ACC。 - STA X：Ad(IR) → MAR；1 → W；ACC → MDR；MDR → M(MAR)。 - LDA X：Ad(IR) → MAR；1 → R；M(MAR) → MDR；MDR → ACC。 - JMP X：Ad(IR) → PC。 - BAN X（负则转）：A_0·Ad(IR) + $\bar{A}_0$·(PC) → PC。 BAN 含义：A_0 是 ACC 的符号位。若 A_0=1（结果为负），则 A_0·Ad(IR)=Ad(IR)，把转移地址送 PC 实现转移；若 A_0=0，则 $\bar{A}_0$=1，$\bar{A}_0$·(PC)=(PC)，PC 内容不变即顺序执行。一个表达式统一了转移与顺序两种情况。 评分要点：读/写命令区分（ADD、LDA 用 1→R，STA 用 1→W）；STA 数据流向 ACC→MDR→M(MAR)；BAN 式及 A_0 含义正确。

题5（课件 p.473）

说明非访存、直接访存、间接访存、转移、间接转移五类指令的指令周期各由哪些工作周期组成。

解答（课件 p.473）： - 非访存指令周期 = 取指周期 + 执行周期。 - 直接访存指令周期 = 取指周期 + 执行周期。 - 间接访存指令周期 = 取指周期 + 间址周期 + 执行周期。 - 转移指令周期 = 取指周期 + 执行周期。 - 间接转移指令周期 = 取指周期 + 间址周期 + 执行周期。 评分要点：五类全对；指出间址周期只出现在间接寻址（间接访存、间接转移）指令中。

题6（课件 p.474）

写出中断周期"程序断点存入 0 地址"和"程序断点进栈"两种方案的微操作序列，并说明 0→EINT 的作用。

解答（课件 p.474）： 方案一（存 0 地址）：0 → MAR；1 → W；PC → MDR；MDR → M(MAR)；中断识别程序入口地址 M → PC；0 → EINT（置"0"）。 方案二（进栈）：(SP) − 1 → MAR；1 → W；PC → MDR；MDR → M(MAR)；中断识别程序入口地址 M → PC；0 → EINT（置"0"）。 说明：断点即当前 PC 内容（下一条指令地址），两方案都是把 PC 写入存储器，只是地址来源不同（固定 0 地址 / 栈顶 (SP)−1）。0→EINT 把中断允许触发器清 0（关中断），保证保存断点与转入口的过程不被新的中断打断。 评分要点：两方案六步齐全；进栈方案地址为 (SP)−1；M→PC 送的是入口地址；0→EINT 解释为关中断。

题7（课件 p.478–480）

以 ADD @X 为例，在**不采用 CPU 内部总线**的结构下，写出取指、间址、执行三个周期的微操作及对应控制信号（C0–C8）。

解答（课件 p.478–480）： 取指周期（p.478）： - PC → MAR：C0； - MAR → 地址线：C1； - 1 → R，数据线 → MDR：C2； - MDR → IR：C3； - OP(IR) → CU：C4。 间址周期（p.479）： - Ad(IR) → MAR（顶部传送线上的形式地址送 MAR）：C5； - MAR → 地址线：C1；1 → R，数据线 → MDR：C2； - MDR → Ad(IR)：C3。 执行周期（p.480）： - MDR → MAR（有效地址）：C5；MAR → 地址线：C1； - 1 → R，数据线 → MDR：C2； - MDR → ALU：C7； - AC → ALU：C6； - ALU → AC（(AC)+(MDR) 结果回送）：C8。 评分要点：三个周期信号集合分别为 {C0,C1,C2,C3,C4}、{C1,C2,C3,C5}、{C1,C2,C5,C6,C7,C8}；执行周期用 MDR（而非 Ad(IR)）送 MAR。

题8（课件 p.481–483）

以 ADD @X 为例，在**采用 CPU 内部总线**的结构下，写出三个周期的微操作及对应的门控制信号（下标 o 为送总线、i 为接总线）。

解答（课件 p.481–483）： 取指周期（p.481）： - PC → MAR → 地址线：PCo、MARi； - CU 发读命令 1 → R；数据线 → MDR； - MDR → IR：MDRo、IRi； - OP(IR) → CU；(PC) + 1 → PC。 间址周期（p.482）： - 形式地址 Ad(IR) → MAR：IR 地址字段送总线门、MARi； - 1 → R；数据线 → MDR； - MDR → Ad(IR)（有效地址回送地址字段）：MDRo、IRi。 （课件 p.482 图中 IR 送总线门标作 IRi，与接收门同名，课件原文如此，存疑：应为 IR 输出门；微操作以 p.469 序列为准。） 执行周期（p.483）： - MDR → MAR → 地址线：MDRo、MARi； - 1 → R；数据线 → MDR； - MDR → Y → ALU：MDRo、Yi； - AC → ALU：ACo、ALUi； - (AC) + (Y) → Z：ALU 运算控制信号； - Z → AC：Zo、ACi。 评分要点：门信号成对（送+收）；MDR→Y 与 AC→ALU 分两拍（单总线一拍只允许一个送数源）；执行周期首步为 MDRo、MARi。

题9（课件 p.496–497）

以 8085 的一条输出指令（I/O 写）为例，说明机器周期 M1、M2、M3 的功能、各节拍的主要操作，以及 $\overline{RD}$、$\overline{WR}$、IO/$\overline{M}$、ALE 的变化情况。

解答（课件 p.496–497）： - M1（T1–T4）取指令操作码：T1 PC out（PCH 上 A15~A8、PCL 上 AD7~AD0，ALE 脉冲锁存低地址）；T2 PC+1，$\overline{RD}$ 变低；T3 Ins→IR（操作码经 AD7~AD0 读入）；T4 X（译码）。 - M2（T1–T3）取设备地址：T1 PC out（ALE 锁存）；T2 PC+1，$\overline{RD}$ 变低；T3 By→Z（读出的端口地址字节送暂存器 Z）。 - M3（T1–T3）执行 ACC 内容写入设备：T1 Z out（IO PORT 上 A15~A8 与 AD7~AD0）；T2–T3 A→Port（ACC 内容上 AD7~AD0，$\overline{WR}$ 变低完成写）。 信号情况：ALE 在每个机器周期的 T1 各出现一个脉冲；$\overline{RD}$ 在 M1、M2 的 T2–T3 为低，M3 为高；$\overline{WR}$ 仅在 M3 的 T2–T3 为低；IO/$\overline{M}$ 在 M1、M2 为低（访存），M3 为高（访 I/O）。CLK 为 3 MHz（课件 p.496）。 结论（课件 p.497）：每个控制信号在指定机器周期的指定节拍 T 时刻发出。 评分要点：三个机器周期功能正确；M1 为 4 拍、M2/M3 为 3 拍；$\overline{WR}$ 与 IO/$\overline{M}$ 电平区间正确；ALE 只在 T1。

二、考点补充题

题10【补充•考点：微操作/微命令/微指令概念】（选择）

下列关于微操作、微命令、微指令的叙述中，**错误**的是（ ）。 A. 微操作是指令执行过程中最基本的、不可再分解的操作 B. 微命令是使执行部件完成微操作的控制信号，一个时钟脉冲可发一个或一组需同时执行的微命令 C. 微指令是若干个同时发出的微命令的集合 D. 一条微指令所含微命令数必须等于一个机器周期所含的节拍数

解答：选 D。 逐项分析：A 正确，微操作是最基本操作（课件 p.485"一个机器周期内可完成若干个微操作"）。B 正确，课件 p.476 原文"一个时钟脉冲发一个操作命令或一组需同时执行的操作命令"。C 正确，微指令即同时发出的微命令集合（补充常识，第10章对象）。D 错误：微指令对应**一个时钟周期（节拍）**内同时发出的微命令，与"一个机器周期含几个节拍"无关；机器周期含若干节拍，每拍可发一条微指令，故二者数目无相等关系。

题11【补充•考点：控制单元外特性与输入输出信号】（简答）

简述控制单元 CU 的输入信号和输出信号各有哪些，并各举两例说明其作用。

解答（评分要点式，课件 p.475–477）： 输入信号（4+1 类）： 1. 时钟：CU 受时钟控制，一个时钟脉冲发一个或一组需同时执行的操作命令； 2. 指令寄存器：OP(IR)→CU，控制信号与操作码有关； 3. 标志：CU 受标志控制（如条件转移判断）； 4. 外来信号：如 INTR（中断请求）、HRQ（总线请求）； 5. 来自系统总线的控制信号（外部件对 CPU 的控制/应答）。 输出信号（2 类）： 1. CPU 内的各种控制信号：如 Ri→Rj、(PC)+1→PC、ALU 的 + - 与或操作； 2. 送至控制总线的信号：如 $\overline{MREQ}$（访存）、IO/$\overline{M}$（访 IO/存储器）、$\overline{RD}$（读）、$\overline{WR}$（写）、INTA（中断响应）、HLDA（总线响应）。 评分要点：输入答出时钟/操作码/标志/外来信号四类，输出答出 CPU 内部与控制总线两类，举例正确即满分。

题12【补充•考点：机器周期与节拍（时钟周期）】（填空）

(1) 控制计算机操作的最小单位时间是_____，它又称_____或_____。 (2) 一个指令周期包含若干个_____，一个机器周期包含若干个_____。 (3) 若指令字长等于存储字长，则_____周期等于机器周期。 (4) 同步控制采用定长机器周期时，以_____的微操作序列和_____的微操作作为标准，机器周期内节拍数_____。

解答（课件 p.484–489）： (1) 时钟周期；节拍；状态。 (2) 机器周期；时钟周期。 (3) 取指。 (4) 最长；最繁；相同。 评分要点：每空 1 分；(1) 三个名称缺一不可；(4) "最长/最繁/相同"为课件原文关键词。

题13【补充•考点：多级时序与速度计算】（计算）

某机主频为 500 MHz，每个机器周期含 5 个时钟周期，平均每条指令含 2 个机器周期。求：(1) 时钟周期；(2) 机器周期；(3) 平均指令执行时间；(4) 平均指令执行速度（MIPS）。

解答： (1) $T = 1/f = 1/(500\times10^{6}\ \text{Hz}) = 2\times10^{-9}\ \text{s} = 2\ \text{ns}$。 (2) 机器周期 $= 5 \times T = 5 \times 2\ \text{ns} = 10\ \text{ns}$。 (3) 平均指令执行时间 $= 2 \times 10\ \text{ns} = 20\ \text{ns}$。 (4) 每秒执行指令数 $= 1/(20\times10^{-9}\ \text{s}) = 5\times10^{7}$ 条/秒 $= 50\times10^{6}$ 条/秒，即 50 MIPS。 验算：每指令时钟周期数 $= 2\times5 = 10$，MIPS $= f(\text{MHz})/10 = 500/10 = 50$，一致。 评分要点：四问各给中间结果与单位；ns 与 MIPS 换算正确。

题14【补充•考点：机器速度与主频关系】（计算•拔高）

甲机主频 $f_1 = 2$ GHz，每个机器周期含 4 个时钟周期；乙机主频 $f_2 = 1$ GHz，每个机器周期含 2 个时钟周期。两机平均每条指令都含 2 个机器周期。 (1) 分别求两机的平均指令执行时间与 MIPS； (2) 甲机主频是乙机的 2 倍，速度是否也是 2 倍？为什么？ (3) 在什么前提下才有 $MIPS_1/MIPS_2 = f_1/f_2$？

解答： (1) 甲：$T_1 = 1/(2\times10^{9}) = 0.5\ \text{ns}$；指令时间 $= 2\times4\times0.5\ \text{ns} = 4\ \text{ns}$；$MIPS_1 = 1/(4\times10^{-9})/10^{6} = 250$。乙：$T_2 = 1/(1\times10^{9}) = 1\ \text{ns}$；指令时间 $= 2\times2\times1\ \text{ns} = 4\ \text{ns}$；$MIPS_2 = 250$。 (2) 不是。两机指令执行时间同为 4 ns，速度相同（MIPS 之比 = 1）。因为机器速度不仅与主频有关，还与机器周期中所含时钟周期数、指令周期中所含机器周期数有关（课件 p.488）；甲机每指令时钟周期数 = 8，乙机 = 4，主频优势被拍数劣势抵消。 (3) 前提：两机**机器周期所含时钟周期数相同**（且指令系统/平均机器周期数可比）时，平均指令执行速度之比才等于主频

之比（课件 p.488）。本题 4 ≠ 2，前提不成立，故不能套用该式。 评分要点：(1) 两机各 4 ns、250 MIPS；(2) 结论"速度相同"并引用课件三因素；(3) 前提表述准确。

题15【补充•考点：控制方式】（简答）

比较同步、异步、联合、人工四种控制方式的特点；同步控制又有哪三种实现方案?

解答（评分要点式，课件 p.489–492）： 1. 同步控制：任一微操作均由统一基准时标的时序信号控制。三种方案：① 定长机器周期（以最长微操作序列和最繁微操作为标准，节拍数相同）；② 不定长机器周期（节拍数不等，可加延长节拍 T）；③ 中央控制与局部控制相结合（局部节拍 T* 宽度与中央节拍一致）。 2. 异步控制：无基准时标信号，无固定的周期节拍和严格的时钟同步，采用应答方式。 3. 联合控制：同步与异步相结合。 4. 人工控制：Reset；连续和单条指令执行转换开关；符合停机开关。 评分要点：四种方式各 1 分（关键词：统一时标/应答/结合/开关），同步三方案 2 分；指出"不定长仍属同步"可加分。

题16【补充•考点：机器周期基准时间的确定】（简答）

确定机器周期需考虑哪些因素？基准时间如何确定？为什么常以访问一次存储器的时间为基准?

解答（课件 p.484）： 1. 需考虑的因素：每条指令的执行步骤；每一步骤所需的时间。 2. 基准时间的确定：以完成最复杂指令功能的时间为准；以访问一次存储器的时间为基准。 3. 原因（补充常识）：访存是指令执行中最常见、且相对较慢的步骤（取指、取操作数、存结果都要访存），以它为基准可使大多数机器周期恰好容纳一次访存，便于统一时序；若指令字长 = 存储字长，则取指周期 = 机器周期。 评分要点：两因素、两基准各 1 分；"取指周期=机器周期"的条件 1 分；原因解释合理 1 分。

题17【补充•考点：8085 引脚与控制信号】（填空）

(1) 8085 的 AD7~AD0 是_____复用总线，每个机器周期的_____节拍由_____信号把低 8 位地址锁存到外部锁存器。 (2) IO/$\bar{M}$ = 1 表示访问_____，IO/$\bar{M}$ = 0 表示访问_____。 (3) DMA 请求信号_____为输入，总线响应信号_____为输出。 (4) 中断请求信号_____为输入，中断响应信号_____为输出。 (5) 8085 电源 VCC = **，VSS 为**。

解答（课件 p.494–496）： (1) 地址/数据；T1；ALE。 (2) I/O 设备（端口）；存储器。 (3) HOLD；HLDA。 (4) INTR；INTA。 (5) +5 V；地。 评分要点：每空 1 分；(1) 三空连考复用与锁存时机；(3)(4) 方向记反不得分。

题18【补充•考点：微操作序列与时序综合设计】（综合）

在采用 CPU 内部单总线的结构下（寄存器门信号记法同课件 p.481–483：下标 o 送总线、i 接总线），为存数指令 STA X（直接寻址）的执行周期安排节拍：写出微操作序列，给出每拍的微操作与门控制信号，并说明为什么 ACC→MDR 与 Ad(IR)→MAR 不能放在同一拍。

解答： 执行周期微操作序列（课件 p.471）：Ad(IR) → MAR；1 → W；ACC → MDR；MDR → M(MAR)。 节拍安排（参考方案，共 3 拍）： - T0：Ad(IR) → MAR。门信号：IR 地址字段送总线门、MARi。（IR 送数上总线，MAR 接收） - T1：ACC → MDR，同时 CU 发写命令 1 → W。门信号：ACo、MDRi。（AC 送数上总线，MDR 接收；写命令可自 T1 起保持） - T2：MDR → M(MAR)。MDR 内容经数据总线写入存储器（MDR 为总线接口寄

存器，直接驱动数据线），$\overline{WR}$ 保持有效完成写。 不能同拍的原因：单总线结构下同一节拍只允许一个寄存器向总线送数（课件 p.483 中 MDR→Y 与 AC→ALU 即分两拍）。T0 若同时要求 IR 地址字段和 ACC 送总线，会发生总线冲突，故 Ad(IR)→MAR 与 ACC→MDR 必须分拍。 评分要点：序列四步齐全（含 1→W）；每拍门信号成对；T2 写存储器经数据总线；总线冲突解释正确。节拍划分允许等价方案（如把 1→W 单独标注），只要无同拍双送数即给分。